

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-202346

(43)Date of publication of application : 04.08.1995

(51)Int.Cl.

H01S 3/18

H01L 33/00

(21)Application number : 05-354210

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.12.1993

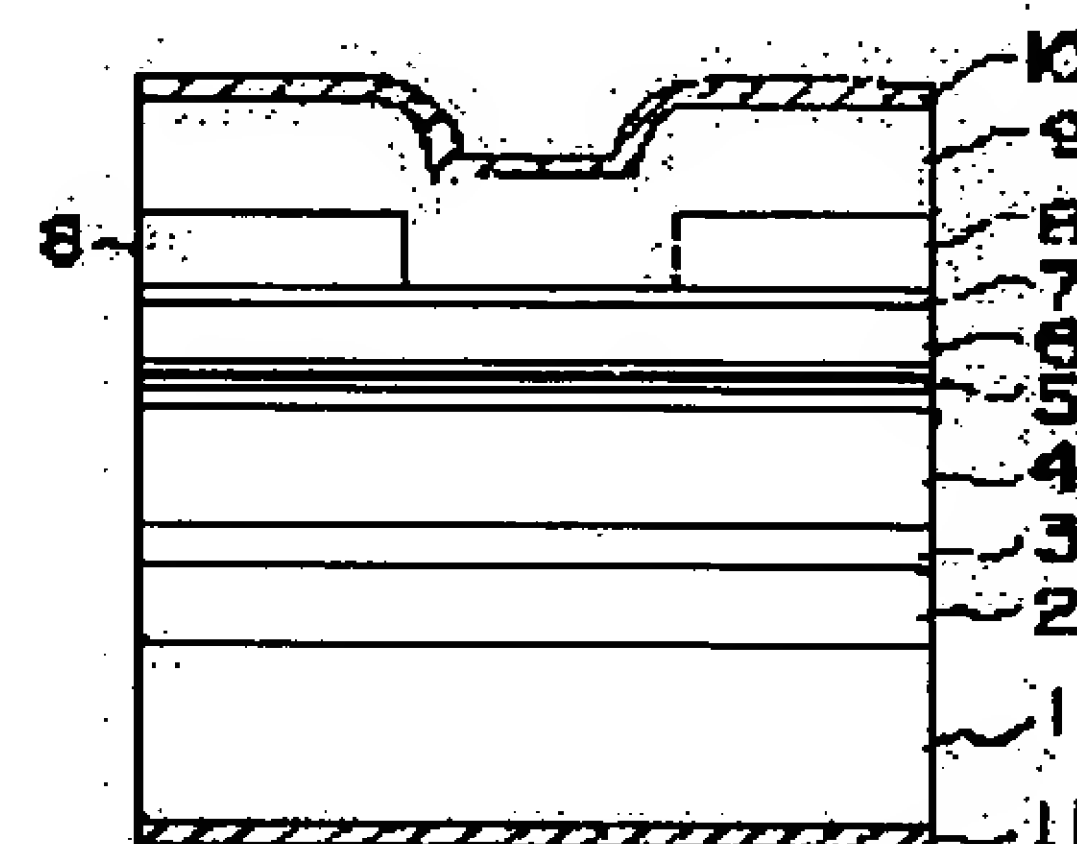
(72)Inventor : NITTA KOICHI  
HATAGOSHI GENICHI  
ISHIKAWA MASAYUKI  
PIITAA PAABURUTSUKU

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

## (57)Abstract:

PURPOSE: To improve laser characteristics such as current-light output characteristics by forming p-type nSe layer on ZnS layer and selectively etching p-type ZnSe layer by using ZnS layer for the etching stop layer.

CONSTITUTION: P-type InGaAs layer 2, p-type InGaAlP layer 3, and p-type ZnSe layer 4 are successively grown on a p-type substrate 1. Then, an active layer 5 is formed on the p-type ZnSe layer 4. Then, n-type ZnSe layer 6, ZnS layer 7, and p-type ZnSe layer 8 are successively grown on the active layer 5. After that, for example, an SiO<sub>2</sub> pattern is formed on the p-type ZnSe layer 8 and the ZnSe layer 8 is etched with the SiO<sub>2</sub> pattern as a mask. At this time, since the etching speed of the ZnS layer 7 is fully slower than that of the ZnSe layer 8, the ZnSe layer 8 is selectively etched, thus improving the laser characteristics of the current-light output characteristics, etc.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of  
rejection]

[Date of extinction of right]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The process which forms Cdw Znx Mg1-w-x Sy1Se1-y1 layer ( $0 \leq w \leq 1$ ,  $0 \leq x \leq 1$ ,  $0 \leq (w+x) \leq 1$ ,  $0 \leq y1 \leq 1$ ) on a substrate, On this Cdw Znx Mg1-w-x Sy1Se1-y one layer The process which forms Cds Znt Mg1-s-t Sy2Seu Te1-y2-u layer ( $0 \leq s \leq 1$ ,  $0 \leq t \leq 1$ ,  $0 \leq (\text{second}+t) \leq 1$ ,  $0 \leq y2 \leq y1$ ,  $0 \leq u \leq 1$ ,  $0 \leq (y2+u) \leq 1$ ), said Cdw Znx Mg1-w-x Sy1Se1-y1 layer — as an etching stop layer — using — said Cds Znt Mg1-s-t Sy2Seu Te1-y — the manufacture approach of the semiconductor device characterized by coming to have the process which etches 2-u layers alternatively.

[Claim 2] It prepares on a substrate. \*\*\* Cdw Znx Mg1-w-x Sy1Se1-y1 layer ( $0 \leq w \leq 1$ ,  $0 \leq x \leq 1$ ,  $0 \leq (w+x) \leq 1$ ,  $0 \leq y1 \leq 1$ ), It is prepared on this Cdw Znx Mg1-w-x Sy1Se1-y one layer. It has opening of the shape of a stripe which forms a current path. The semiconductor device characterized by coming to provide the current constriction layer which consists of Cds Znt Mg1-s-t Sy2Seu Te1-y2-u ( $0 \leq s \leq 1$ ,  $0 \leq t \leq 1$ ,  $0 \leq (\text{second}+t) \leq 1$ ,  $0 \leq y2 \leq y1$ ,  $0 \leq u \leq 1$ ,  $0 \leq (y2+u) \leq 1$ ).

---

[Translation done.]

## \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DETAILED DESCRIPTION

## [Detailed Description of the Invention]

[0001]

[Industrial Application] It is related with amelioration of semiconductor devices, such as semiconductor laser equipment using this invention and an II-VI group compound semiconductor, and the manufacture approach of those.

[0002]

[Description of the Prior Art] Extensive forbidden-band width of face including ZnSe and ZnS Since an II-VI group compound semiconductor has the band structure of the direct transition mold to an ultraviolet area from visible short wavelength, the semiconductor laser equipment using this kind of semi-conductor is expected as an optical new device in a short wavelength field. Especially, in the field of optical information processing, in order that reduction of the diameter of a spot accompanying short-wavelength-izing may bring about fast increase of storage capacity, it has a great hope.

[0003] By the way, the conventional extensive forbidden-band width of face As semiconductor laser equipment using an II-VI group compound semiconductor, the gain guided wave mold of stripe electrode structure is proposed. This is the laser of the type which light is amplified along the high place of the gain of the stripe electrode lower part, and results in an oscillation.

[0004] However, if it was in the semiconductor laser of the conventional stripe electrode structure, there were the following problems. That is, breadth and injection efficiency fell [ the current poured into the stripe electrode ] to fields other than the lower part of this stripe electrode, and there was a problem that laser properties, such as a current-light strength property, deteriorated.

[0005] It is the extensive forbidden-band width of face which such a problem produces. It is because the structure which can shut up the current which a mask ingredient required to carry out selective etching did not find an II-VI group compound semiconductor, but poured it into the stripe electrode two-dimensional cannot be created.

[0006]

[Problem(s) to be Solved by the Invention] Like \*\*\*\*, it is the former. If it is in the semiconductor laser equipment of an II-VI group compound semiconductor system, it is extensive forbidden-band width of face. A mask ingredient required to carry out selective etching of the II-VI group compound semiconductor is not found, and the structure which can shut up the current poured into the stripe electrode two-dimensional cannot be created, but a laser property is good. It was difficult to obtain the semiconductor laser equipment of an II-VI group compound semiconductor system.

[0007] The place which this invention was made in consideration of the above-mentioned situation, and is made into that purpose is extensive forbidden-band width of face. It is in offering the new semiconductor device manufactured using the manufacture approach of the semiconductor device which can carry out selective etching of the II-VI group compound semiconductor, and this manufacture approach.

[0008]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the manufacture approach (claim 1) of the semiconductor device of this invention The process which forms Cdw Zn<sub>x</sub> Mg<sub>1-w-x</sub> Sy<sub>1</sub>Se<sub>1-y</sub> layer ( $0 \leq w \leq 1$ ,  $0 \leq x \leq 1$ ,  $0 \leq (w+x) \leq 1$ ,  $0 \leq y \leq 1$ ) on a substrate. On this Cdw Zn<sub>x</sub> Mg<sub>1-w-x</sub> Sy<sub>1</sub>Se<sub>1-y</sub> one layer The process which forms Cds Znt Mg<sub>1-s-t</sub> Sy<sub>2</sub>Seu Te<sub>1-y2-u</sub> layer ( $0 \leq s \leq 1$ ,  $0 \leq t \leq 1$ ,  $0 \leq (second+t) \leq 1$ ,  $0 \leq y2 \leq y1$ ,  $0 \leq u \leq 1$ ,  $0 \leq (y2+u) \leq 1$ ), said Cdw Zn<sub>x</sub> Mg<sub>1-w-x</sub> Sy<sub>1</sub>Se<sub>1-y</sub> layer — as an etching stop layer — using — said Cds Znt Mg<sub>1-s-t</sub> Sy<sub>2</sub>Seu Te<sub>1-y</sub> — it is characterized by having the process which etches 2-u layers alternatively.

[0009] The semiconductor device (claim 2) of this invention is formed on a substrate. Moreover, \*\*\*\* Cdw Zn<sub>x</sub> Mg<sub>1-w-x</sub> Sy<sub>1</sub>Se<sub>1-y</sub> layer ( $0 \leq w \leq 1$ ,  $0 \leq x \leq 1$ ,  $0 \leq (w+x) \leq 1$ ,  $0 \leq y \leq 1$ ). It is prepared on this Cdw Zn<sub>x</sub> Mg<sub>1-w-x</sub> Sy<sub>1</sub>Se<sub>1-y</sub> one layer. It has opening of the shape of a stripe which forms a current path. It is characterized by having the current constriction layer which consists of Cds Znt Mg<sub>1-s-t</sub> Sy<sub>2</sub>Seu Te<sub>1-y2-u</sub> ( $0 \leq s \leq 1$ ,  $0 \leq t \leq 1$ ,  $0 \leq (second+t) \leq 1$ ,  $0 \leq y2 \leq y1$ ,  $0 \leq u \leq 1$ ,  $0 \leq (y2+u) \leq 1$ ).

[0010] moreover, the above-mentioned presentation ratio — it is desirable that it is  $y2 \leq y1 - 0.2$ .

[0011] moreover, the above if a dopant is carried out for changing the conductivity type of an II-VI group semi-conductor and p mold dopant is carried out — I group or V group element — if n mold dopant is carried out An III group or VII It is desirable to use a group element.

[0012]

[Function] According to this invention person's etc. research, a Cdw Zn<sub>x</sub> Mg<sub>1-w-x</sub> Sy<sub>1</sub>Se<sub>1-y</sub> layer ( $0 \leq w \leq 1$ ,  $0 \leq x \leq 1$ ,  $0 \leq (w+x) \leq 1$ ,  $0 \leq y \leq 1$ ) etch rate The thing later (in the case [ Especially  $y2 \leq y1$  ] of  $-0.2$ ) enough than a Cds Znt Mg<sub>1-s-t</sub> Sy<sub>2</sub>Seu Te<sub>1-y2-u</sub> layer ( $0 \leq s \leq 1$ ,  $0 \leq t \leq 1$ ,  $0 \leq (second+t) \leq 1$ ,  $0 \leq y2 \leq y1$ ) etch rate was understood.

[0013] For this reason, like this invention (claim 1), if Cdw Zn<sub>x</sub> Mg<sub>1-w-x</sub> Sy<sub>1</sub>Se<sub>1-y</sub> layer is used as a Cds Znt Mg<sub>1-s-t</sub>



Sy<sub>2</sub>SeuTe<sub>1-y2-u</sub> layer substrate In case Cds Znt Mg<sub>1-s-t</sub> Sy<sub>2</sub>Seu Te<sub>1-y2-u</sub> layer is etched, it can prevent that the layer below CdwZnx Mg<sub>1-w-x</sub> Sy<sub>1</sub>Se<sub>1-y1</sub> layer is etched.

[0014] therefore, Cds Znt Mg<sub>1-s-t</sub> Sy<sub>2</sub>SeuTe<sub>1-y</sub> which is an II-VI group compound semiconductor — 2-u layers can be alternatively etched now, and it was not obtained conventionally The semiconductor device of an II-VI group compound semiconductor system, for example, the semiconductor device of claims 2 and 3, can be formed now.

[0015] That is, since the current constriction layer which consists of Cds Znt Mg<sub>1-s-t</sub> Sy<sub>2</sub>Seu Te<sub>1-y2-u</sub> is prepared on the substrate according to this invention (claim 2), if this current constriction layer is applied to laser, an inrush current can be shut up now two-dimensional and semiconductor laser equipment excellent in laser properties, such as a current-optical output property, will be obtained, for example.

[0016]

[Example] Hereafter, an example is explained, referring to a drawing.

[0017] Drawing 1 is the sectional view showing the outline configuration of the semiconductor laser equipment concerning the 1st example of this invention.

[0018] If this is explained according to a production process, first, it will have consistency on the p mold GaAs substrate 1 at the grid parameter of ZnSe, and the thick p mold InGaAs layer 2 for reducing distortion will be grown up.

[0019] Next, on this p mold InGaAs layer 2, lattice matching is carried out to ZnSe and the p mold InGaAlP layer 3 for reducing band offset is grown up.

[0020] These The p mold InGaAs layer 2 and the p mold InGaAlP layer 3 which are a group III-V semiconductor were separately grown up with MOVPE equipment, and carried out heat clarification further using MBE equipment.

[0021] Next, on the p mold InGaAlP layer 3, the p mold ZnSe layer 4 by which nitrogen with a thickness of 2 micrometers was doped is grown up. Moreover, using a PURAZUMADO-ping technique, this p mold ZnSe layer 4 is formed so that electron hole concentration may be set to  $8 \times 10^{17} \text{cm}^{-3}$ .

[0022] Next, a barrier layer 5 is formed on this p mold ZnSe layer 4. This barrier layer 5 has quantum well structure which consists of a ZnSe barrier layer of two 7nm thickness, and a Cd<sub>0.2</sub> Zn<sub>0.6</sub> Se well layer of one 5nm thickness.

[0023] Sequential growth of the n mold ZnSe layer 6 by which Cl with a thickness of 0.15 micrometers was doped on this barrier layer 5, the ZnS layer 7 with a thickness of 2nm, and the p mold ZnSe layer 8 by which nitrogen with a thickness of 500nm was doped is carried out.

[0024] Next, after taking out from growth equipment, it is divided about 7-micrometer gap on the p mold ZnSe layer 8, and it is SiO<sub>2</sub> of a strip configuration with a die length of 300 micrometers. A pattern (un-illustrating) is formed. SiO<sub>2</sub> A SiN pattern may be used instead of a pattern. in short — insulation — having — a back process — what is necessary is just to be able to remove easily

[0025] Next, this SiO<sub>2</sub> It is NH<sub>4</sub> OH and H<sub>2</sub>, using a pattern as a mask. The ZnSe layer 8 is etched using the etching solution which consists of H<sub>2</sub> O. An etching configuration is changing NH<sub>4</sub> OH concentration, that is, can perform etching with a high one [ where concentration is lower ] anisotropy.

[0026] At this time, since the etch rate of the ZnS layer 7 is slower enough than that of the ZnSe layer 8, the ZnSe layer 8 is etched alternatively.

[0027] Here, a 10nm CdZnS layer may be used instead of the 2nm ZnS layer 7. The CdZnS layer was thickened for reducing distortion. Moreover, 10nm ZnS<sub>0.3</sub> Se<sub>0.7</sub> It turned out that a layer also turns into an etching stop layer. In this case, unlike the CdZnS layer, big conduction band offset was not produced to the ZnSe layer 8, and problems, such as electronic capture and recombination of an electron and a superfluous electron hole, did not arise.

[0028] Next, SiO<sub>2</sub> After removing a pattern, it introduces into an MBE chamber and the n mold ZnSe layer 9 in which Cl with a thickness of 2 micrometers was doped by the whole surface is grown up.

[0029] Finally, after taking out from an MBE chamber, the Au-Ti alloy electrodes 10 and 11 are formed, respectively in the n mold ZnSe layer 9 and the p mold GaAs substrate 1, and it completes to them.

[0030] Drawing 2 is conventional semiconductor laser equipment, and if this is explained according to a production process, it will form a barrier layer 5 from the p mold GaAs substrate 1 similarly [ this example ] first.

[0031] Next, on a barrier layer 5, the n mold ZnSe cladding layer 9 with a thickness of 2 micrometers is grown up within MBE equipment.

[0032] Next, after taking out from MBE equipment, the Au-Ti alloy electrode 11 is formed in the p mold GaAs substrate 1, and the Au-Ti alloy electrode 12 of the shape of a stripe with a width of face of 30 micrometers is formed on the n mold ZnSe layer 9.

[0033] Drawing 3 is drawing showing the current-light strength property in the laser actuation in 77K of drawing 1 and the semiconductor laser equipment of drawing 2.

[0034] This drawing 3 shows that the current-light strength property of this invention is better than conventional it.

[0035] This is because the current poured in from the Au-Ti alloy electrode 12 is spread crosswise [ of a stripe ] to in the case of the semiconductor laser equipment (this invention) of drawing 1 current constriction structure being formed of the ZnSe layer 8 and the n mold ZnSe layer 9, and being able to shut up a current two-dimensional in the case of the semiconductor laser equipment (former) of drawing 2.

[0036] Furthermore, the life had been found for a long time also farther than that of the former [ direction / of the semiconductor laser equipment of this example ].

[0037] In the above-mentioned example, although the ZnSe layer was used as the barrier layer and the semi-conductor layers 4, 6, and 8 of a barrier layer 5 instead, when using ZnS<sub>0.06</sub>Se<sub>0.94</sub> by which the impurity was doped appropriately, it turned out that the laser of short wavelength is obtained a little.

[0038] In this case, it is ZnS<sub>0.3</sub> Se<sub>0.7</sub> with a thickness of 10nm instead of the ZnS layer 7 with a thickness [ as an etching

stop layer ] of 2nm. It was used. If luminescence wavelength is removed also with such semiconductor laser equipment, the same effectiveness as it of the above-mentioned example will be acquired.

[0039] Drawing 4 is the sectional view showing the outline configuration of the semiconductor laser equipment concerning the 2nd example of this invention. In the following drawings, the same sign as the above-mentioned drawing shows the same part or a considerable part, and detailed explanation is omitted.

[0040] When this is explained according to a production process, first on the p mold GaAs substrate 15 To the degree to which sequential epitaxial growth of the p mold GaAs layer 16 and the p mold InGaAlP hetero barrier reduction layer 17 which carries out lattice matching to GaAs is carried out It moves to an II-VI group growth chamber. Then, the thin p mold ZnSe layer 18 with a thickness [ as 2nd hetero barrier reduction layer ] of 0.1 micrometers and p mold Zn<sub>0.85</sub>Mg<sub>0.15</sub>S<sub>0.3</sub>Se<sub>0.7</sub> with a thickness of 2 micrometers which carries out lattice matching to GaAs Sequential growth of the layer 19 is carried out.

[0041] Next, this p mold Zn<sub>0.85</sub>Mg<sub>0.15</sub>S<sub>0.3</sub>Se<sub>0.7</sub> After forming 20 on a layer 19 0.94 layers of ZnS<sub>0.06</sub>Se with a thickness [ as a p mold lightguide layer ] of 1 micrometer, the barrier layer 21 of 3 cel Cd<sub>0.2</sub>Zn<sub>0.8</sub>Se quantum well structure is formed on it.

[0042] Next, on this barrier layer 21, 22 is grown up 0.94 layers of n mold ZnS<sub>0.06</sub>Se with a thickness of 0.15 micrometers by which Cl was doped.

[0043] Next, on this 0.94 layer 22 of n mold ZnS<sub>0.06</sub>Se, Cd<sub>0.5</sub>Zn<sub>0.2</sub>Mg<sub>0.3</sub>S layer 23 [ with a thickness of 10nm by which Cl as an etching stop layer was doped ] is grown up. Here, by making the rate of Mg high, band discontinuity is eased and an electronic trap is controlled.

[0044] Next, on n mold Cd<sub>0.5</sub>Zn<sub>0.2</sub>Mg<sub>0.3</sub>S layer 23, it is p mold Zn<sub>0.7</sub>Mg<sub>0.3</sub>S<sub>0.5</sub>Se<sub>0.5</sub> with a thickness of 750nm. A layer 24 is grown up.

[0045] Next, it is p mold Zn<sub>0.7</sub>Mg<sub>0.3</sub>S<sub>0.5</sub>Se<sub>0.5</sub> like [ after taking out from MBE equipment ] a previous example. It is p mold Zn<sub>0.7</sub>Mg<sub>0.3</sub>S<sub>0.5</sub>Se<sub>0.5</sub>, forming the mask pattern of the strip configuration divided about 3-micrometer gap on a layer 24, and using this as a mask. A layer 24 is etched.

[0046] At this time, the etch rate of n mold Cd<sub>0.5</sub>Zn<sub>0.2</sub>Mg<sub>0.3</sub>S layer 23 is p mold Zn<sub>0.7</sub>Mg<sub>0.3</sub>S<sub>0.5</sub>Se<sub>0.5</sub>. Since it is fully later than that of a layer 24, it is p mold Zn<sub>0.7</sub>Mg<sub>0.3</sub>S<sub>0.5</sub>Se<sub>0.5</sub>. Only a layer 24 is etched alternatively.

[0047] Next, Zn<sub>0.85</sub>Mg<sub>0.15</sub>S<sub>0.3</sub>Se<sub>0.7</sub> by which 25 was grown up 0.94 layers of n mold ZnS<sub>0.06</sub>Se by which it returned to MBE equipment and Cl with a thickness of 750nm was doped by the whole surface, and Cl with a thickness of 2 micrometers was doped continuously A layer 26 is grown up.

[0048] Here, except for the quantum well layer which constitutes a barrier layer 21, lattice matching of the layers was carried out [ no ] to the p mold GaAs substrate 15, and the problem of a mismatching rearrangement was produced.

[0049] According to this example, light can be shut up two-dimensional and a laser property can be improved now. The improvement of the laser property which attracts attention most was reduction of the threshold current of laser.

[0050] Drawing 5 is the sectional view showing the outline configuration of the semiconductor laser equipment of the refractive-index guided wave mold concerning the 3rd example of this invention.

[0051] First, the p mold ZnSe layer 18 is formed from the p mold GaAs substrate 15 like the 2nd example.

[0052] Next, on the p mold ZnSe layer 18, it is p mold Zn<sub>0.7</sub>Mg<sub>0.3</sub>S<sub>0.5</sub>Se<sub>0.5</sub> with a thickness of 2 micrometers as a lattice matching layer. A layer 28 and Zn<sub>0.85</sub>Mg<sub>0.15</sub>S<sub>0.3</sub>Se<sub>0.7</sub> with a thickness of 1 micrometer Sequential growth of the layer 29 is carried out.

[0053] Next, this Zn<sub>0.85</sub>Mg<sub>0.15</sub>S<sub>0.3</sub>Se<sub>0.7</sub> On a layer 29, the barrier layer 30 which has Zn<sub>0.85</sub>Mg<sub>0.15</sub>S<sub>0.3</sub>Se<sub>0.7</sub>-ZnSe quantum well structure is formed.

[0054] Next, on this barrier layer 30, it is n mold Zn<sub>0.85</sub>Mg<sub>0.15</sub>S<sub>0.3</sub>Se<sub>0.7</sub> with a thickness of 150nm. Sequential growth of n mold Cd<sub>0.5</sub>Zn<sub>0.2</sub>Mg<sub>0.3</sub>S layer 32 as a layer 31 and an etching stop layer with a thickness of 10nm by which Cl was doped is carried out.

[0055] Next, on n mold Cd<sub>0.5</sub>Zn<sub>0.2</sub>Mg<sub>0.3</sub>S layer 32, 33 is grown up 0.65 layers of p mold Cd<sub>0.2</sub>Zn<sub>0.8</sub>S<sub>0.35</sub>Se with a thickness of 500nm. 0.65 layers of this p mold Cd<sub>0.2</sub>Zn<sub>0.8</sub>S<sub>0.35</sub>Se, 33 is carrying out lattice matching to the p mold GaAs substrate 15, and has a band gap smaller than the band gap of a barrier layer 30.

[0056] Next, after taking out from growth equipment, 33 is etched alternatively 0.65 layers of p mold Cd<sub>0.2</sub>Zn<sub>0.8</sub>S<sub>0.35</sub>Se, and the slot of the shape of a stripe with a width of face of 5 micrometers is formed in 33 0.65 layers of p mold Cd<sub>0.2</sub>Zn<sub>0.8</sub>S<sub>0.35</sub>Se.

[0057] Next, it returns to growth equipment and is Zn<sub>0.85</sub>Mg<sub>0.15</sub>S<sub>0.3</sub>Se<sub>0.7</sub> with a thickness of 750nm to the whole surface. A layer 34 and Zn<sub>0.7</sub>Mg<sub>0.3</sub>S<sub>0.5</sub>Se<sub>0.5</sub> with a thickness of 2 micrometers Sequential growth of the layer 35 is carried out. Finally the Au-Ti alloy electrodes 10 and 11 are formed, and it completes.

[0058] Thus, it checked that the same effectiveness as a previous example was acquired also with the constituted semiconductor laser equipment.

[0059] Drawing 6 is the sectional view showing the outline configuration of the semiconductor laser equipment concerning the 4th example of this invention. This is the example which used n mold substrate.

[0060] n mold Zn<sub>0.7</sub>Mg<sub>0.3</sub>S<sub>0.5</sub>Se<sub>0.5</sub> with a thickness of 2 micrometers which will carry out lattice matching on this first after growing up the n mold GaAs buffer coat 38 on the n mold GaAs substrate 37 if this is explained according to a production process A layer 39 is grown up.

[0061] Next, n mold Zn<sub>0.7</sub>Mg<sub>0.3</sub>S<sub>0.5</sub>Se<sub>0.5</sub> On a layer 39, it is small n mold Zn<sub>0.85</sub>Mg<sub>0.15</sub>S<sub>0.3</sub>Se<sub>0.7</sub> of a band gap with a thickness of 0.65 micrometers. Sequential growth of a layer 40, then the three Cd<sub>0.2</sub>Zn<sub>0.8</sub>Se quantum well layers as a barrier layer 41 is carried out.

[0062] Next, on this barrier layer 41, it is p mold Zn<sub>0.85</sub>Mg<sub>0.15</sub>S<sub>0.3</sub>Se<sub>0.7</sub> with a thickness of 0.15 micrometers. Thin p



mold  $\text{Cd}_{0.5}\text{Zn}_{0.2}\text{Mg}_{0.3}\text{S}$  layer 43 [ with a thickness of 10nm which the layer 42 was grown up, then carried out lattice matching as an etching stop layer ] is grown up.

[0063] This p mold  $\text{Cd}_{0.5}\text{Zn}_{0.2}\text{Mg}_{0.3}\text{S}$  layer 43 has the concentration [ a little ] (since it is very thin, although there is large offset, the effective conduction which lets a layer pass is fully made) of abbreviation  $5 \times 10^{16} \text{cm}^{-3}$  lower than a surrounding layer.

[0064] Next, on p mold  $\text{Cd}_{0.5}\text{Zn}_{0.2}\text{Mg}_{0.3}\text{S}$  layer 43, it is n mold  $\text{Zn}_{0.7}\text{Mg}_{0.3}\text{S}_{0.5}\text{Se}_{0.5}$  of extensive forbidden-band width of face with a thickness of 0.5 micrometers. A layer 44 is grown up.

[0065] Next, after taking out from growth equipment, as it mentioned above, it is n mold  $\text{Zn}_{0.7}\text{Mg}_{0.3}\text{S}_{0.5}\text{Se}_{0.5}$ . A layer 44 is etched alternatively.

[0066] Next, it returns to growth equipment and is p mold  $\text{Zn}_{0.85}\text{Mg}_{0.15}\text{S}_{0.3}\text{Se}_{0.7}$  with a thickness of 0.5 micrometers to the whole surface. A layer 45 is grown up, and it continues and is p mold  $\text{Zn}_{0.7}\text{Mg}_{0.3}\text{S}_{0.5}\text{Se}_{0.5}$  of extensive forbidden-band width of face with a thickness of 2 micrometers to the whole surface. The layer 46 was grown up.

[0067] Next, this p mold  $\text{Zn}_{0.7}\text{Mg}_{0.3}\text{S}_{0.5}\text{Se}_{0.5}$  In order to take good contact on a layer 46, the high-concentration p mold ZnSe layer 47 with a thickness of 0.1 micrometers is grown up.

[0068] Next, the superlattice contact layer 48 to which the p mold ZnSe layer and p mold ZnTe layer which ease a band gap difference, and which are a layer come to lap by turns on this p mold ZnSe layer 47 is grown up. Contact in Au-Pd alloy electrode 10a and the p mold ZnSe layer 47 which are formed at a back process by this superlattice contact layer 48 can be made good.

[0069] Here, a band gap may use ZnSeTe which changes gradually instead of a superlattice contact layer. Moreover, when a p mold GaAs substrate is used, a p mold AlGaInP layer may be used.

[0070] Finally, after forming the Au-Ti alloy electrode 11 in the superlattice contact layer 48 at Au-Pd alloy electrode 10a and the n mold GaAs substrate 37, in order to prevent end-face degradation, a laser end face is covered and it completes.

[0071] Drawing 7 is the sectional view showing the outline configuration of the semiconductor laser equipment concerning the 5th example of this invention. This is also an example using n mold substrate.

[0072] First,  $\text{Zn}_{0.85}\text{Mg}_{0.15}\text{S}_{0.3}\text{Se}_{0.7}$  with a thickness of 0.4 micrometers after forming the semi-conductor layers 37, 38, and 39 like the 4th example A layer 50 is grown up.

[0073] Next, this  $\text{Zn}_{0.85}\text{Mg}_{0.15}\text{S}_{0.3}\text{Se}_{0.7}$  Thin n mold  $\text{Cd}_{0.5}\text{Zn}_{0.2}\text{Mg}_{0.3}\text{S}$  layer 51 and p mold  $\text{Zn}_{0.7}\text{Mg}_{0.3}\text{S}_{0.5}\text{Se}_{0.5}$  of extensive forbidden-band width of face with a thickness of about 0.6 micrometers with a thickness of 10nm by which Cl as an etching stop layer was doped on the layer 50 Sequential growth of the layer 52 is carried out.

[0074] Next, p mold  $\text{Zn}_{0.7}\text{Mg}_{0.3}\text{S}_{0.5}\text{Se}_{0.5}$  after taking out from growth equipment Selective etching of the layer 52 is carried out, and a stripe-like slot is formed.

[0075] Next, it returns to growth equipment and is p mold  $\text{Zn}_{0.7}\text{Mg}_{0.3}\text{S}_{0.5}\text{Se}_{0.5}$ . On a layer 52, it is n mold  $\text{Zn}_{0.85}\text{Mg}_{0.15}\text{S}_{0.3}\text{Se}_{0.7}$ . The barrier layer 54 and p mold  $\text{Zn}_{0.85}\text{Mg}_{0.15}\text{S}_{0.3}\text{Se}_{0.7}$  with a thickness of 0.65 micrometers which consist of a  $\text{Cd}_{0.2}\text{Zn}_{0.8}\text{Se}$  quantum well layer of 53 or 3 layers Sequential growth of the layer 55 is carried out.

[0076] Next, this p mold  $\text{Zn}_{0.85}\text{Mg}_{0.15}\text{S}_{0.3}\text{Se}_{0.7}$  On a layer 55, it is p mold  $\text{Zn}_{0.7}\text{Mg}_{0.3}\text{S}_{0.5}\text{Se}_{0.5}$  of extensive forbidden-band width of face with a thickness of 2 micrometers. After growing up a layer 56, sequential formation of the p mold ZnSe layer 47 and the superlattice contact layer 48 is carried out like a previous example on this.

[0077] Finally, after forming the Au-Ti alloy electrode 11 in the superlattice contact layer 48 at Au-Pd alloy electrode 10a and the n mold GaAs substrate 37, in order to prevent end-face degradation, a laser end face is covered and it completes.

[0078] Thus, when the semiconductor laser equipment of the 4th example was evaluated in the semiconductor laser equipment of manufactured this example, and a list, it turned out that CW luminescence is carried out at a room temperature. Moreover, as shown in the property Fig. of the wavelength-light reinforcement of drawing 8, it turned out that laser oscillation arises in the about 530nm neighborhood.

[0079] Drawing 9 is the sectional view showing the outline configuration of the semiconductor laser equipment concerning the 6th example of this invention.

[0080] Instead of GaAs, this is the example which used InP as a substrate ingredient. InP — GaAs — comparing — a deep valence band — having — thereby — p mold the offset between II-VI group epitaxial semi-conductor layers can be decreased — first Sequential growth of the with a 0.2 layer thickness [ of with a 0.45 layer thickness / of p mold  $\text{ZnSe}_{0.55}\text{Te}$  with a thickness of 0.1 micrometers which carries out lattice matching mostly on the InP substrate 60 / 0.1 micrometers in 61 and thickness / p mold  $\text{Cd}_{0.3}\text{Zn}_{0.7}\text{Se}_{0.8}\text{Te}$  / 0.1 micrometers in 62 and thickness ] p mold  $\text{Cd}_{0.5}\text{Zn}_{0.5}\text{Se}$  layer 63 is carried out.

[0081] Next, sequential formation of the p mold  $\text{Cd}_{0.25}\text{Zn}_{0.3}\text{Mg}_{0.45}\text{Se}$  layer 64 with a thickness of 2 micrometers which carries out lattice matching on this p mold  $\text{Cd}_{0.5}\text{Zn}_{0.5}\text{Se}$  layer 63, and the p mold  $\text{Cd}_{0.4}\text{Zn}_{0.45}\text{Mg}_{0.15}\text{Se}$  layer 65 with a thickness of 0.5 micrometers is carried out.

[0082] Next, the barrier layer 66 which consists of three  $\text{Cd}_{0.35}\text{Zn}_{0.65}\text{Se}$  quantum well layers separated by the  $\text{Cd}_{0.4}\text{Zn}_{0.45}\text{Mg}_{0.15}\text{Se}$  barrier layer on this p mold  $\text{Cd}_{0.4}\text{Zn}_{0.45}\text{Mg}_{0.15}\text{Se}$  layer 65 is grown up. In contrast with the structure mentioned above, tension distortion produces these well layer rather rather than compressive strain for a lattice constant with a small  $\text{Cd}_{0.42}\text{Zn}_{0.6}\text{Se}$  layer.

[0083] On a barrier layer 66, sequential growth of n mold  $\text{Cd}_{0.7}\text{Mg}_{0.3}\text{S}$  layer 68 as the n mold  $\text{Cd}_{0.4}\text{Zn}_{0.45}\text{Mg}_{0.15}\text{Se}$  layer 67 with a thickness of 0.15 micrometers and a thin etching stop layer with a thickness of 5nm is carried out.

[0084] This presentation of n mold  $\text{Cd}_{0.7}\text{Mg}_{0.3}\text{S}$  layer 68 is the following, and was made and decided. That is, while the big band gap was obtained moderately and being able to reduce distortion by the remaining semi-conductor layers, it was

decided from a viewpoint whether it can grow up to be the thickness of extent which can be used as an etching stop layer. In addition, the thickness of n mold Cd<sub>0.7</sub> Mg<sub>0.3</sub> S layer 68 may be 10nm. Although a difference of the thickness of this layer is not related to the engine performance of equipment, when a stop layer is thick, its CdMgSSe layer is desirable.

[0085] Next, the p mold Cd<sub>0.5</sub> Zn<sub>0.5</sub> Se layer 69 with a thickness of 0.5 micrometers which carries out lattice matching on n mold Cd<sub>0.7</sub> Mg<sub>0.3</sub> S layer 68 is grown up. As the band gap of this p mold Cd<sub>0.5</sub> Zn<sub>0.5</sub> Se layer 69 serves as loss guided wave structure, it is smaller than the band gap of the above-mentioned quantum well layer. In addition, it is p mold Zn<sub>0.65</sub>Mg<sub>0.35</sub>Se<sub>0.7</sub> Te<sub>0.3</sub> instead of the p mold Cd<sub>0.5</sub> Zn<sub>0.5</sub> Se layer 69. A layer may be used.

[0086] Next, after taking out from growth equipment, the p mold Cd<sub>0.5</sub> Zn<sub>0.5</sub> Se layer 69 is etched alternatively, and a stripe-like slot is formed.

[0087] Next, it returned to growth equipment and the whole surface was made to carry out sequential growth of the cladding layer of the n mold Cd<sub>0.4</sub> Zn<sub>0.45</sub>Mg<sub>0.15</sub>Se layer 70 with a thickness of 0.5 micrometers and the n mold Cd<sub>0.25</sub>Zn<sub>0.3</sub> Mg<sub>0.45</sub>Se layer 71 with a thickness of 2 micrometers.

[0088] Finally, the Au-Ti alloy electrodes 11 and 10 are formed, respectively in the p mold InP substrate 60 and the n mold Cd<sub>0.25</sub>Zn<sub>0.3</sub> Mg<sub>0.45</sub>Se layer 71, and it completes in them.

[0089] Thus, it turned out that it is manufactured, and about 570nm pulse laser luminescence is obtained at a room temperature when the semiconductor laser equipment with which the laser end face is not covered is evaluated.

[0090] Moreover, since it was the structure of a selenium compound system as compared with GaAs more nearly rather than the selenium-sulfide compound system for the deep valence band of InP, generally the threshold electrical potential difference of the laser of this example was smaller than that of GaAs system laser.

[0091] Drawing 10 is the sectional view showing the outline configuration of the semiconductor laser equipment concerning the 7th example of this invention.

[0092] 101 show the n mold GaAs substrate among drawing. On this n mold GaAs substrate 101 The n mold GaAs buffer layer 102, the n mold Zn<sub>1-X</sub>Cd<sub>X</sub>SY<sub>1</sub>Se<sub>1-Y</sub> buffer layer 103, the n mold Zn<sub>1-X</sub>Cd<sub>X</sub>SY<sub>2</sub>Se<sub>1-Y</sub> cladding layer 104, the undoping Zn<sub>1-X</sub>Cd<sub>X</sub>SY<sub>3</sub>Se<sub>1-Y</sub> lightguide layer 105, An undoping Zn<sub>1-X</sub>Cd<sub>X</sub>SY<sub>4</sub>Se<sub>1-Y</sub> quantum-well layer 106, (Barrier layer) the undoping Zn<sub>1-X</sub>Cd<sub>X</sub>SY<sub>3</sub>Se<sub>1-Y</sub> lightguide layer 107 and p mold Zn<sub>1-X</sub> sequential formation of the X<sub>2</sub>Cd<sub>X</sub>SY<sub>2</sub>Se<sub>1-Y</sub> 1st cladding layer 108, and a p mold Zn<sub>1-X</sub>SY<sub>5</sub>Se<sub>1-y</sub> etching stop and a grid strain relaxation layer 109 is carried out.

[0093] this etching stop and grid strain relaxation layer 109 top — p mold Zn<sub>1-X</sub> — the X<sub>2</sub>Cd<sub>X</sub>SY<sub>2</sub>Se<sub>1-Y</sub> 2nd cladding layer 110, and p mold Zn<sub>1-X</sub> — it consists of the 1Cd<sub>X</sub>SY<sub>1</sub>Se<sub>1-Y</sub> 1st cap layer 111 and the 2nd cap layer 112 of p mold InGaAlP, and mesa-like stripe geometry is formed for the cross section.

[0094] Such stripe geometry can be created by carrying out etching removal of except for the part which serves as stripe geometry among this cascade screen alternatively, after carrying out sequential growth of the 2nd cladding layer 110, the 1st cap layer 111, and the 2nd cap layer 112.

[0095] Here, if for example, a hydrochloric-acid system, a sulfuric-acid system, and an ammonia system etching reagent are used, etch selectivity of an etching stop and the grid strain relaxation layer 109, and a cladding layer 110 can be enlarged enough, and stripe geometry can be formed easily.

[0096] The n mold Zn<sub>1-X</sub>Cd<sub>X</sub>Se current block layer 113 is formed in the flank of stripe geometry. On the 2nd cap layer 112 of p mold InGaAlP, and the n mold Zn<sub>1-X</sub>Cd<sub>X</sub>Se current block layer 113, the p mold GaAs contact layer 114 is formed, and the p lateral electrode AuZn116 is formed in this p mold GaAs contact layer 114. Moreover, the n lateral electrode AuGe115 is formed in the n mold GaAs substrate 101.

[0097] A substrate 101 inclines in the [011] directions from a field (100), and makes an inclination 16 or less degrees here. In the presentation of the buffer layer 103, the presentation of  $0 \leq X_1 \leq 1$ ,  $0 \leq Y_1 \leq 1$ , and a cladding layer 104,108,110 sets the presentation of  $0 \leq X_2 \leq 1$ ,  $0 \leq Y_2 \leq 1$ , and the lightguide layer 105,107 to  $0 \leq X_3 \leq 1$  and  $0 \leq Y_3 \leq 1$ . And the above-mentioned presentation is chosen so that lattice matching may be carried out to the GaAs substrate 101.

[0098] The presentation of the quantum well layer 106 sets  $0 \leq X_4 \leq 1$ ,  $0 \leq Y_4 \leq 1$ , and thickness to 1-200nm, and the number of wells is set to 1-100.

[0099] Although the presentation of an etching stop and the grid strain relaxation layer 109 can set up the presentation of  $0 \leq X_5 \leq 1$ ,  $0 \leq y_5 \leq 1$ , and the current block layer 113 in  $0 \leq X_6 \leq 1$ , lattice matching cannot be carried out to the GaAs substrate 101. That there should just be 0.3% or more, even if the stacking fault total amount was not a single crystal, it found that it was satisfactory.

[0100] The multilayer structure which consists of an InGaP layer, an InGaAlP layer, and an InAlP layer is sufficient as the 2nd cap layer 112.

[0101] In impurity doping of each cladding layer, p mold used N as the impurity, and about  $[8 \times 10^{17} \text{cm}^{-3}]$  3 and n mold used Cl as the impurity, and made it about  $[7 \times 10^{17} \text{cm}^{-3}]$  three concentration.

[0102] Thickness of the lightguide layer 105 is set to 5-500nm.

[0103] Although lattice matching had not been carried out to the GaAs substrate 101, as for the mold Zn<sub>1-X</sub>Cd<sub>X</sub>Se current block layer 113, the experiment showed that the rearrangement and defect by grid distortion etc. could be reduced by re-growing up on n the etching stop and the grid strain relaxation layer 109 which similarly has not carried out lattice matching. And the n mold Zn<sub>1-X</sub>Cd<sub>X</sub>Se current block layer 113 works as a current block layer and a light absorption layer, and can realize stabilization of the transverse mode.

[0104] That is, according to this example, lattice matching of the Zn<sub>1-X</sub>Cd<sub>X</sub>Se layer which is the current block layer 113 is not carried out to the GaAs substrate 101, but if the Zn<sub>1-X</sub>SY<sub>5</sub>Se<sub>1-y</sub> layer which are an etching stop and the grid strain relaxation layer 109 as a substrate is used, the Zn<sub>1-X</sub>Cd<sub>X</sub>Se layer which works as a current block layer and a light absorption layer can be grown up. Consequently, the light which emitted light by the barrier layer can be



absorbed now, the transverse mode can be stable, and improvement in dependability can be aimed at now.

[0105] Drawing 11 is the sectional view showing the outline configuration of the semiconductor laser equipment concerning the 9th example of this invention. In drawing 11 a p mold GaAs substrate and 202 201 A p mold InGaP buffer layer, A p mold InGaAlP middle band gap layer and 204 203 A p mold Zn<sub>1</sub>-X<sub>1</sub>CdX<sub>1</sub>SY<sub>1</sub>Se<sub>1</sub>-Y<sub>1</sub> buffer layer, 205 p mold Zn<sub>1</sub>-X<sub>2</sub>CdX<sub>2</sub>SY<sub>2</sub>Se<sub>1</sub>-Y<sub>2</sub> cladding layer, 206 An undoping Zn<sub>1</sub>-X<sub>3</sub>CdX<sub>3</sub>SY<sub>3</sub>Se<sub>1</sub>-Y<sub>3</sub> lightguide layer, 207 An undoping Zn<sub>1</sub>-X<sub>4</sub>CdX<sub>4</sub>SY<sub>4</sub>Se<sub>1</sub>-Y<sub>4</sub> quantum-well layer, 208 An undoping Zn<sub>1</sub>-X<sub>3</sub>CdX<sub>3</sub>SY<sub>3</sub>Se<sub>1</sub>-Y<sub>3</sub> lightguide layer, 209 — n mold Zn<sub>1</sub>-X<sub>2</sub>CdX<sub>2</sub>SY<sub>2</sub>Se<sub>1</sub>-Y<sub>2</sub> — the first cladding layer 210 An n mold Zn<sub>1</sub>-X<sub>5</sub>CdX<sub>5</sub>SY<sub>5</sub>Se<sub>1</sub>-y<sub>5</sub> etching stop and a grid strain relaxation layer, 211 — n mold Zn<sub>1</sub>-X<sub>2</sub>CdX<sub>2</sub>SY<sub>2</sub>Se<sub>1</sub>-Y<sub>2</sub> — the second cladding layer In 212, an n mold GaAs contact layer and 215 show p mold electrode AuZn, and, as for an n mold Zn<sub>1</sub>-X<sub>1</sub>CdX<sub>1</sub>SY<sub>1</sub>Se<sub>1</sub>-Y<sub>1</sub> cap layer and 213, 216 shows n mold electrode AuGe, as for a p mold Zn<sub>1</sub>-X<sub>6</sub>CdX<sub>6</sub>Se current block layer and 214.

[0106] Here, a substrate 201 inclines in the [011] directions from a field (100), and an inclination is 16 or less degrees. The multilayer structure which consists of a ZnSe layer, an InGaAs layer, and an InGaP layer is sufficient as a buffer layer 202.

[0107] Moreover, the multilayer structure which consists of an InGaP layer, an InGaAlP layer, and an InAlP layer is sufficient as the middle band gap layer 203.

[0108] The presentations of the buffer layer 204 and the cap layer 212 are  $0 \leq X_1 \leq 1$  and  $0 \leq Y_1 \leq 1$ , the presentations of a cladding layer 205, 209, 211 are  $0 \leq X_2 \leq 1$  and  $0 \leq Y_2 \leq 1$ , and the above-mentioned presentation is chosen so that the presentation of the lightguide layer 206, 208 may be set to  $0 \leq X_3 \leq 1$  and  $0 \leq Y_3 \leq 1$  and lattice matching may be carried out to the GaAs substrate 201.

[0109] The presentations of the quantum well layer 207 are  $0 \leq X_4 \leq 1$  and  $0 \leq Y_4 \leq 1$ , thickness is set to 1-200nm, and the number of wells is set to 1-100.

[0110] The presentations of an etching stop and the grid strain relaxation layer 210 are  $0 \leq X_5 \leq 1$  and  $0 \leq Y_5 \leq 1$ , and the presentation of the current block layer 213 is  $0 \leq X_6 \leq 1$ . Although lattice matching of an etching stop and the grid strain relaxation layer 210, and the current block layer 213 had not been carried out to the GaAs substrate 101, even if the stacking fault total amount was not a single crystal, it found that it was satisfactory that there should just be 0.3% or more.

[0111] In impurity doping of each cladding layer, p mold uses N as an impurity, and about  $[8 \times 10^{17} \text{cm}^{-3}]$  3 and n mold use Cl as an impurity, and make it about  $[7 \times 10^{17} \text{cm}^{-3}]$  three concentration.

[0112] The thickness of the lightguide layer 205, 208 is 5-500nm.

[0113] Etch selectivity of an etching stop and the grid strain relaxation layer 210, and a cladding layer 211 is highly made like a previous example by using a hydrochloric-acid system, a sulfuric-acid system, and an ammonia system etching reagent.

[0114] The rearrangement and defect by grid distortion etc. can be reduced by re-growing up on the etching stop and the grid strain relaxation layer 210 which similarly has not carried out lattice matching similarly [in this example / previous] although the current block layer 213 has not carried out lattice matching to the GaAs substrate 201, the current block layer 213 which works as a current block layer and a light absorption layer can be formed, and stabilization of the transverse mode can be attained. Moreover, p mold electrode 215 may be formed on the buffer layer 202 or the middle band gap layer 203.

[0115] In addition, the 7th and 8th example deformed as follows, and can be carried out. That is, CdZnS, ZnSTe, and ZnMgSSe may be used as an ingredient of a cladding layer, or CdZnS and ZnSTe may be used as an ingredient of a lightguide layer. Moreover, a current block layer may be used as n mold or a half-insulation mold, or ingredients, such as the III-V group compound semiconductor and germanium of an ingredient with the thermal resistance of II-VI group compound semiconductors, such as CdS, CdSe, ZnTe, and ZnS, small as an ingredient and n mold, and Si, may be used. Moreover, even if a current block layer is not necessarily a single crystal, it can fully absorb luminescence of a barrier layer, and the same effectiveness as the 7th and 8th example is acquired.

[0116] In addition, although the above-mentioned example explained semiconductor laser, this invention is applicable also to semiconductor devices other than other optical semiconductor devices, such as LED, and optical semiconductor devices, such as a bipolar transistor.

[0117]

[Effect of the Invention] As explained in full detail above, according to this invention, by using Cdw Zn<sub>x</sub> Mg<sub>1-w-x</sub> Sy<sub>1</sub>Se<sub>1-y1</sub> layer as a Cds Znt Mg<sub>1-s-t</sub> Sy<sub>2</sub>Seu Te<sub>1-y2-u</sub> layer substrate In case Cds Znt Mg<sub>1-s-t</sub> Sy<sub>2</sub>Seu Te<sub>1-y2-u</sub> layer is etched It has the structure which could prevent that the layer below Cdw Zn<sub>x</sub> Mg<sub>1-w-x</sub> Sy<sub>1</sub>Se<sub>1-y1</sub> layer was etched, and was not conventionally acquired in it. The semiconductor device of an II-VI group compound semiconductor system comes to be obtained.

---

[Translation done.]



## \* NOTICES \*

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

## [Brief Description of the Drawings]

[Drawing 1] The sectional view showing the outline configuration of the semiconductor laser equipment concerning the 1st example of this invention

[Drawing 2] The sectional view showing the outline configuration of conventional semiconductor laser equipment

[Drawing 3] The property Fig. showing the current dependency of the optical reinforcement of the semiconductor laser equipment of the former and this invention

[Drawing 4] The sectional view showing the outline configuration of the semiconductor laser equipment concerning the 2nd example of this invention

[Drawing 5] The sectional view showing the outline configuration of the semiconductor laser equipment concerning the 3rd example of this invention

[Drawing 6] The sectional view showing the outline configuration of the semiconductor laser equipment concerning the 4th example of this invention

[Drawing 7] The sectional view showing the outline configuration of the semiconductor laser equipment concerning the 5th example of this invention

[Drawing 8] The property Fig. showing the wavelength dependency of the optical reinforcement of the semiconductor laser equipment of drawing 7

[Drawing 9] The sectional view showing the outline configuration of the semiconductor laser equipment concerning the 6th example of this invention

[Drawing 10] The sectional view showing the outline configuration of the semiconductor laser equipment concerning the 7th example of this invention

[Drawing 11] The sectional view showing the outline configuration of the semiconductor laser equipment concerning the 8th example of this invention

## [Description of Notations]

1 [ — A p mold ZnSe layer, 5 / — A barrier layer, 6 / — An n mold ZnSe layer, 7 / — A ZnS layer, 8 / — A p mold ZnSe layer, 9 / — 10 An n mold ZnSe layer, 11 / — Au-Ti alloy electrode ] — A p mold GaAs substrate, 2 — A p mold InGaAs layer, 3 — A p mold InGaAlP layer, 4

101 — An n mold GaAs substrate, 102 — An n mold GaAs buffer layer, 103 — n mold  $Zn_{1-X}Cd_XSiY_1Se_{1-Y_1}$  buffer layer, 104 — n mold  $Zn_{1-X}Cd_XSiY_2Se_{1-Y_2}$  cladding layer, 105 — Undoping  $Zn_{1-X}Cd_XSiY_3Se_{1-Y_3}$  lightguide layer, 106 — Undoping  $Zn_{1-X}Cd_XSiY_4Se_{1-Y_4}$  quantum-well layer (barrier layer), 107 — Undoping  $Zn_{1-X}Cd_XSiY_3Se_{1-Y_3}$  lightguide layer, 108 — p mold  $Zn_{1-X}Cd_XSiY_2Se_{1-Y_2}$  — the 1st cladding layer 109 — A p mold  $Zn_{1-X}Cd_XSiY_5Se_{1-Y_5}$  etching stop and a grid strain relaxation layer, 110 — p mold  $Zn_{1-X}Cd_XSiY_2Se_{1-Y_2}$  — the 2nd cladding layer 111 — p mold  $Zn_{1-X}$  — the  $1Cd_XSiY_1Se_{1-Y_1}$  1st cap layer — 112 [ — n mold electrode AuGe, 116 / — p lateral electrode AuZn ] — The 2nd cap layer of p mold InGaAlP, 113 — An n mold  $Zn_{1-X}Cd_XSe$  current block layer, 114 — A p mold GaAs contact layer, 115

---

[Translation done.]

(51) Int.Cl.<sup>6</sup>                      識別記号    庁内整理番号                      F I                      技術表示箇所  
H 0 1 S    3/18  
H 0 1 L    33/00                      D

審査請求    未請求    請求項の数 2    F D    (全 10 頁)

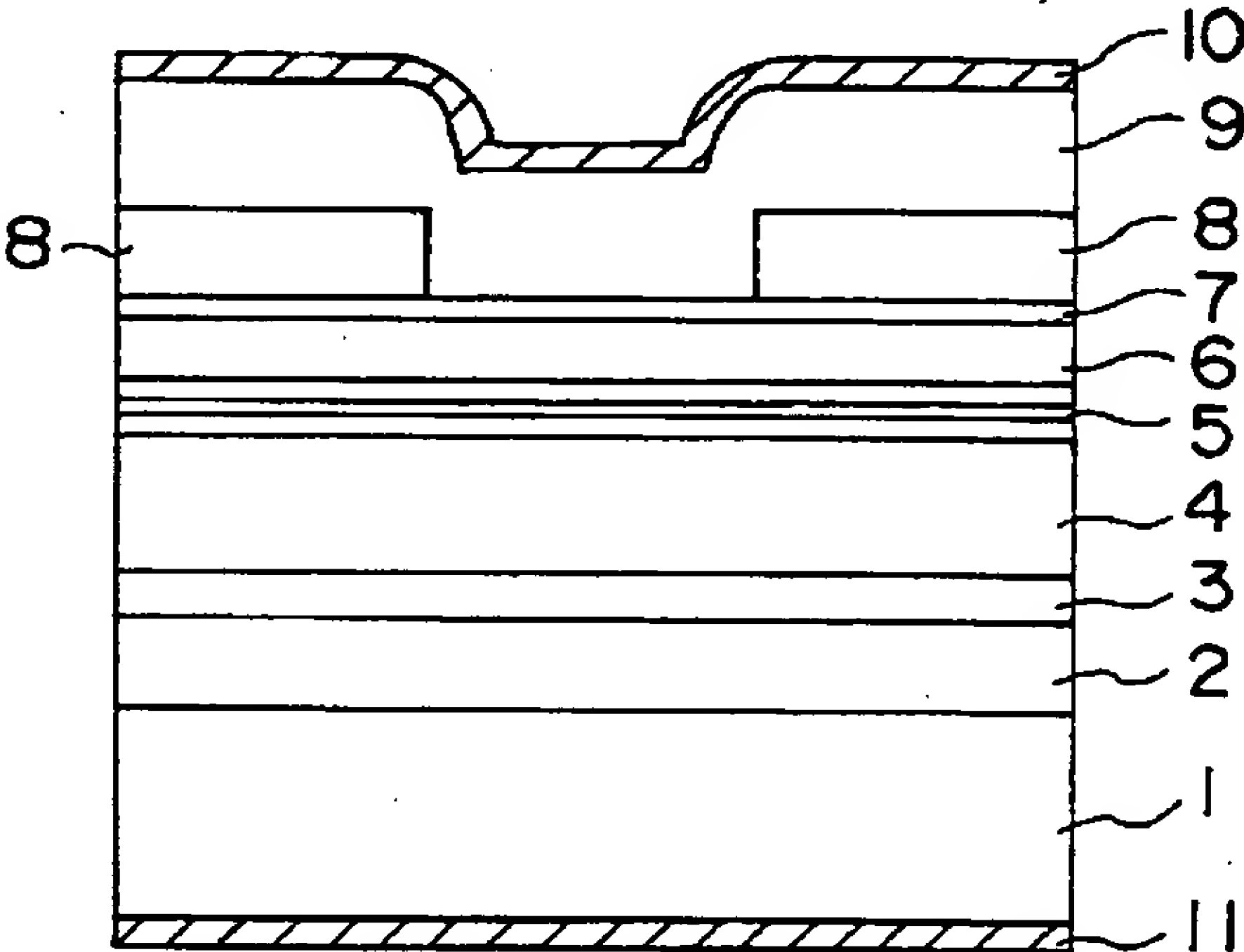
(21) 出願番号	特願平5-354210	(71) 出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22) 出願日	平成 5 年 (1993) 12 月 28 日	(72) 発明者	新田 康一 神奈川県川崎市幸区小向東芝町 1 番地 株 式会社東芝研究開発センター内
		(72) 発明者	波多腰 玄一 神奈川県川崎市幸区小向東芝町 1 番地 株 式会社東芝研究開発センター内
		(72) 発明者	石川 正行 神奈川県川崎市幸区小向東芝町 1 番地 株 式会社東芝研究開発センター内
		(74) 代理人	弁理士 鈴江 武彦
		最終頁に続く	

(54) 【発明の名称】    半導体装置の製造方法および半導体装置

(57) 【要約】

【目的】 広禁制帯幅の II-VI 族化合物半導体層を選択的にエッチングできる半導体装置の製造方法を提供すること。

【構成】 ZnS 層 7 上に p 型 ZnSe 層 8 を形成した後、ZnS 層 7 をエッチングストップ層に用いて p 型 ZnSe 層 8 を選択的にエッチングする。





## 【特許請求の範囲】

【請求項1】 基板上に、 $Cd_v Zn_x Mg_{1-v-x} S_{y1} Se_{1-y1}$  層 ( $0 \leq w \leq 1, 0 \leq x \leq 1, 0 \leq (w+x) \leq 1, 0 \leq y1 \leq 1$ ) を形成する工程と、

この  $Cd_v Zn_x Mg_{1-v-x} S_{y1} Se_{1-y1}$  層上に、 $Cd_s Zn_t Mg_{1-s-t} S_{y2} Se_u Te_{1-y2-u}$  層 ( $0 \leq s \leq 1, 0 \leq t \leq 1, 0 \leq (s+t) \leq 1, 0 \leq y2 \leq y1, 0 \leq u \leq 1, 0 \leq (y2+u) \leq 1$ ) を形成する工程と、

前記  $Cd_v Zn_x Mg_{1-v-x} S_{y1} Se_{1-y1}$  層をエッチングストップ層として用い、前記  $Cd_s Zn_t Mg_{1-s-t} S_{y2} Se_u Te_{1-y2-u}$  層を選択的にエッチングする工程とを有してなることを特徴とする半導体装置の製造方法。

【請求項2】 基板上に設けた  $Cd_v Zn_x Mg_{1-v-x} S_{y1} Se_{1-y1}$  層 ( $0 \leq w \leq 1, 0 \leq x \leq 1, 0 \leq (w+x) \leq 1, 0 \leq y1 \leq 1$ ) と、

この  $Cd_v Zn_x Mg_{1-v-x} S_{y1} Se_{1-y1}$  層上に設けられ、電流通路を形成するストライプ状の開口部を有し、 $Cd_s Zn_t Mg_{1-s-t} S_{y2} Se_u Te_{1-y2-u}$  ( $0 \leq s \leq 1, 0 \leq t \leq 1, 0 \leq (s+t) \leq 1, 0 \leq y2 \leq y1, 0 \leq u \leq 1, 0 \leq (y2+u) \leq 1$ ) からなる電流狭窄層とを具備してなることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、II-VI族化合物半導体を用いた半導体レーザ装置等の半導体装置およびその製造方法の改良に関する。

## 【0002】

【従来の技術】  $ZnSe$ 、 $ZnS$  を始めとする広禁制帯幅 II-VI族化合物半導体は、可視短波長から紫外域に対する直接遷移型のバンド構造を持つため、この種の半導体を用いた半導体レーザ装置は、短波長領域における新しい光デバイスとして期待されている。特に、光情報処理の分野では、短波長化に伴うスポット径の低減が記録容量の飛躍的な増大をもたらすため、大きな期待が寄せられている。

【0003】 ところで、従来の広禁制帯幅 II-VI族化合物半導体を用いた半導体レーザ装置として、ストライプ電極構造の利得導波型が提案されている。これはストライプ電極下部の利得の高いところに沿って光が増幅されて発振に至るタイプのレーザである。

【0004】 しかし、従来のストライプ電極構造の半導体レーザにあつては以下のような問題があつた。すなわち、ストライプ電極に注入した電流が、このストライプ電極の下部以外の領域まで広がり、注入効率が低下し、電流-光強度特性等のレーザ特性が劣化するという問題があつた。

【0005】 このような問題が生じるのは、広禁制帯幅 II-VI族化合物半導体を選択エッチングするのに必要な

マスク材料が見つかっておらず、ストライプ電極に注入した電流を2次元的に閉じ込めることができる構造を作成できないからである。

## 【0006】

【発明が解決しようとする課題】 上述の如く、従来の I I-VI族化合物半導体系の半導体レーザ装置にあつては、広禁制帯幅 II-VI族化合物半導体を選択エッチングするのに必要なマスク材料が見つかっておらず、ストライプ電極に注入した電流を2次元的に閉じ込めることができる構造を作成できず、レーザ特性の良い II-VI族化合物半導体系の半導体レーザ装置を得るのが困難であつた。

【0007】 本発明は、上記事情を考慮してなされたもので、その目的とするところは、広禁制帯幅 II-VI族化合物半導体を選択エッチングできる半導体装置の製造方法およびこの製造方法を用いて製造される新規な半導体装置を提供することにある。

## 【0008】

【課題を解決するための手段】 上記の目的を達成するために、本発明の半導体装置の製造方法（請求項1）は、基板上に、 $Cd_v Zn_x Mg_{1-v-x} S_{y1} Se_{1-y1}$  層 ( $0 \leq w \leq 1, 0 \leq x \leq 1, 0 \leq (w+x) \leq 1, 0 \leq y1 \leq 1$ ) を形成する工程と、この  $Cd_v Zn_x Mg_{1-v-x} S_{y1} Se_{1-y1}$  層上に、 $Cd_s Zn_t Mg_{1-s-t} S_{y2} Se_u Te_{1-y2-u}$  層 ( $0 \leq s \leq 1, 0 \leq t \leq 1, 0 \leq (s+t) \leq 1, 0 \leq y2 \leq y1, 0 \leq u \leq 1, 0 \leq (y2+u) \leq 1$ ) を形成する工程と、前記  $Cd_v Zn_x Mg_{1-v-x} S_{y1} Se_{1-y1}$  層をエッチングストップ層として用い、前記  $Cd_s Zn_t Mg_{1-s-t} S_{y2} Se_u Te_{1-y2-u}$  層を選択的にエッチングする工程とを備えたことを特長とする。

【0009】 また、本発明の半導体装置（請求項2）は、基板上に設けた  $Cd_v Zn_x Mg_{1-v-x} S_{y1} Se_{1-y1}$  層 ( $0 \leq w \leq 1, 0 \leq x \leq 1, 0 \leq (w+x) \leq 1, 0 \leq y1 \leq 1$ ) と、この  $Cd_v Zn_x Mg_{1-v-x} S_{y1} Se_{1-y1}$  層上に設けられ、電流通路を形成するストライプ状の開口部を有し、 $Cd_s Zn_t Mg_{1-s-t} S_{y2} Se_u Te_{1-y2-u}$  ( $0 \leq s \leq 1, 0 \leq t \leq 1, 0 \leq (s+t) \leq 1, 0 \leq y2 \leq y1, 0 \leq u \leq 1, 0 \leq (y2+u) \leq 1$ ) からなる電流狭窄層とを備えたことを特徴とする。

【0010】 また、上記組成比  $y2 \leq y1 - 0.2$  であることが好ましい。

【0011】 また、上記 II-VI族半導体の導電型を変えるためのドーパントとしては、p型ドーパントとしてはI族またはV族元素、n型ドーパントとしてはIII族またはVI族元素を用いることが好ましい。

## 【0012】

【作用】 本発明者等の研究によれば、 $Cd_v Zn_x Mg_{1-v-x} S_{y1} Se_{1-y1}$  層 ( $0 \leq w \leq 1, 0 \leq x \leq 1, 0 \leq (w+x) \leq 1, 0 \leq y1 \leq 1$ ) のエッチング速度は、

Cd, Zn,  $Mg_{1-s-t}$ ,  $Sy_2Se$ ,  $Te_{1-y_2-u}$  層 ( $0 \leq s \leq 1$ ,  $0 \leq t \leq 1$ ,  $0 \leq (s+t) \leq 1$ ,  $0 \leq y_2 \leq y_1$ ) のエッチング速度よりも十分に遅い (特に  $y_2 \leq y_1 - 0.2$  の場合) ことが分かった。

【0013】このため、本発明 (請求項1) のように、Cd, Zn,  $Mg_{1-s-t}$ ,  $Sy_2Se$ ,  $Te_{1-y_2-u}$  層の下地としてCd, Zn,  $Mg_{1-v-r}$ ,  $Sy_1Se_{1-y_1}$  層を用いれば、Cd, Zn,  $Mg_{1-s-t}$ ,  $Sy_2Se$ ,  $Te_{1-y_2-u}$  層をエッチングする際に、Cd, Zn,  $Mg_{1-v-r}$ ,  $Sy_1Se_{1-y_1}$  層より下の層がエッチングされるのを防止できるようになる。

【0014】したがって、II-VI族化合物半導体であるCd, Zn,  $Mg_{1-s-t}$ ,  $Sy_2Se$ ,  $Te_{1-y_2-u}$  層を選択的にエッチングできるようになり、従来得られなかったII-VI族化合物半導体系の半導体装置、例えば、請求項2, 3の半導体装置を形成できるようになる。

【0015】すなわち、本発明 (請求項2) によれば、基板上にCd, Zn,  $Mg_{1-s-t}$ ,  $Sy_2Se$ ,  $Te_{1-y_2-u}$  からなる電流狭窄層が設けられているので、例えば、この電流狭窄層をレーザに適用すれば、注入電流を2次元的に閉じ込めることができるようになり、電流-光出力特性等のレーザ特性が優れた半導体レーザ装置が得られる。

【0016】

【実施例】以下、図面を参照しながら実施例を説明する。

【0017】図1は、本発明の第1の実施例に係る半導体レーザ装置の概略構成を示す断面図である。

【0018】これを製造工程に従い説明すると、まず、p型GaAs基板1上に、ZnSeの格子パラメタに整合し、歪みを低減するための厚いp型InGaAs層2を成長させる。

【0019】次にこのp型InGaAs層2上に、ZnSeに格子整合し、バンドオフセットを低減するためのp型InGaAlP層3を成長させる。

【0020】これらIII-V族化合物半導体であるp型InGaAs層2、p型InGaAlP層3は、MOVPE装置で別々に成長させ、更に、MBE装置を用いて熱清浄させた。

【0021】次にp型InGaAlP層3上に、厚さ2  $\mu m$  の窒素がドーピングされたp型ZnSe層4を成長させる。また、このp型ZnSe層4は、プラズマドーピング技術を用いて、正孔濃度が  $8 \times 10^{17} cm^{-3}$  となるように形成する。

【0022】次にこのp型ZnSe層4上に、活性層5を形成する。この活性層5は、二つの厚さ7nmのZnSe障壁層と一つの厚さ5nmのCd<sub>0.2</sub>Zn<sub>0.8</sub>Se井戸層とからなる量子井戸構造になっている。

【0023】この活性層5上に、厚さ0.15  $\mu m$  のClがドーピングされたn型ZnSe層6、厚さ2nmのZn

S層7、厚さ500nmの窒素がドーピングされたp型ZnSe層8を順次成長させる。

【0024】次に成長装置から取り出した後、p型ZnSe層8上に、7  $\mu m$  ギャップで分けられ、長さ300  $\mu m$  のストリップ形状のSiO<sub>2</sub> パターン (不図示) を形成する。SiO<sub>2</sub> パターンの代わりにSiNパターンを用いても良い。要は絶縁性を有し、後工程容易に除去できるものであれば良い。

【0025】次にこのSiO<sub>2</sub> パターンをマスクとして、NH<sub>4</sub>OHとH<sub>2</sub>とH<sub>2</sub>Oとからなるエッチング溶液を用いて、ZnSe層8をエッチングする。エッチング形状はNH<sub>4</sub>OH濃度を変えることで、つまり、濃度が低い方が異方性が高いエッチングを行なえる。

【0026】このとき、ZnS層7のエッチング速度がZnSe層8のそれよりも十分に遅いため、ZnSe層8が選択的にエッチングされる。

【0027】ここで、2nmのZnS層7の代わりに、10nmのCdZnS層を用いても良い。CdZnS層を厚めにしたのは歪みを低減するためである。また、10nmのZnS<sub>0.3</sub>Se<sub>0.7</sub>層もエッチングストップ層となることが分かった。この場合、CdZnS層とは異なり、ZnSe層8に対して大きな伝導帯オフセットは生じず、電子の捕獲や、電子と過剰な正孔との再結合などの問題は起こらなかった。

【0028】次にSiO<sub>2</sub> パターンを除去した後、MBEチェンバに導入し、全面に厚さ2  $\mu m$  のClがドーピングされたn型ZnSe層9を成長させる。

【0029】最後に、MBEチェンバから取り出した後、n型ZnSe層9、p型GaAs基板1にそれぞれAu・Ti合金電極10, 11を設けて完成する。

【0030】図2は、従来の半導体レーザ装置であり、これを製造工程に従い説明すると、まず、本実施例の同様に、p型GaAs基板1から活性層5を形成する。

【0031】次に活性層5上に、厚さ2  $\mu m$  のn型ZnSeクラッド層9をMBE装置内で成長させる。

【0032】次にMBE装置から取り出した後、p型GaAs基板1にAu・Ti合金電極11を設け、n型ZnSe層9上に、幅30  $\mu m$  のストライプ状のAu・Ti合金電極12を設ける。

【0033】図3は、図1、図2の半導体レーザ装置の77Kにおけるレーザ動作での電流-光強度特性を示す図である。

【0034】この図3から、本発明の電流-光強度特性は従来のそれよりも良好であることが分かる。

【0035】これは図1の半導体レーザ装置 (本発明) の場合、ZnSe層8とn型ZnSe層9とにより電流狭窄構造が形成され、2次元的に電流を閉じ込めることができるのに対し、図2の半導体レーザ装置 (従来) の場合、Au・Ti合金電極12から注入された電流がストライプの幅方向に拡散してしまうからである。



【0036】更に、本実施例の半導体レーザ装置の方が従来のそれよりもはるかに寿命が長いことも分かった。

【0037】上記実施例では、活性層5の障壁層、ならびに半導体層4、6、8としてZnSe層を用いたが、その代わりに、適切に不純物がドーブされたZnS<sub>0.06</sub>Se<sub>0.94</sub>を使用すれば、若干短波長のレーザが得られることが分かった。

【0038】この場合、エッチングストップ層としての厚さ2nmのZnS層7の代わりに、厚さ10nmのZnS<sub>0.3</sub>Se<sub>0.7</sub>を使用した。このような半導体レーザ装置でも発光波長を除けば上記実施例のそれと同様な効果が得られる。

【0039】図4は、本発明の第2の実施例に係る半導体レーザ装置の概略構成を示す断面図である。以下の図において、前出した図と同一符号は同一部分または相当部分を示し、詳細な説明は省略する。

【0040】これを製造工程に従い説明すると、まず、p型GaAs基板15上に、p型GaAs層16、GaAsに格子整合するp型InGaAlPヘテロバリヤ減少層17を順次エピタキシャル成長させる

次にII-VI族成長チェンバに移し、そこで第2のヘテロバリヤ減少層としての厚さ0.1μmの薄いp型ZnSe層18、GaAsに格子整合する厚さ2μmのp型Zn<sub>0.85</sub>Mg<sub>0.15</sub>S<sub>0.3</sub>Se<sub>0.7</sub>層19を順次成長させる。

【0041】次にこのp型Zn<sub>0.85</sub>Mg<sub>0.15</sub>S<sub>0.3</sub>Se<sub>0.7</sub>層19上に、p型光ガイド層としての厚さ1μmのZnS<sub>0.06</sub>Se<sub>0.94</sub>層20を形成した後、その上に3セルCd<sub>0.2</sub>Zn<sub>0.8</sub>Se量子井戸構造の活性層21を形成する。

【0042】次にこの活性層21上に、Clがドーブされた厚さ0.15μmのn型ZnS<sub>0.06</sub>Se<sub>0.94</sub>層22を成長させる。

【0043】次にこのn型ZnS<sub>0.06</sub>Se<sub>0.94</sub>層22上に、エッチングストップ層としてのClがドーブされた厚さ10nmのCd<sub>0.5</sub>Zn<sub>0.2</sub>Mg<sub>0.3</sub>S層23を成長させる。ここで、Mgの割合を高くすることにより、バンド不連続が緩和され、電子のトラップが抑制される。

【0044】次にn型Cd<sub>0.5</sub>Zn<sub>0.2</sub>Mg<sub>0.3</sub>S層23上に、厚さ750nmのp型Zn<sub>0.7</sub>Mg<sub>0.3</sub>S<sub>0.5</sub>Se<sub>0.5</sub>層24を成長させる。

【0045】次にMBE装置から取り出した後、先の実施例と同様に、p型Zn<sub>0.7</sub>Mg<sub>0.3</sub>S<sub>0.5</sub>Se<sub>0.5</sub>層24上に、3μmギャップで分けられたストリップ形状のマスクパターンを形成し、これをマスクとしてp型Zn<sub>0.7</sub>Mg<sub>0.3</sub>S<sub>0.5</sub>Se<sub>0.5</sub>層24をエッチングする。

【0046】このとき、n型Cd<sub>0.5</sub>Zn<sub>0.2</sub>Mg<sub>0.3</sub>S層23のエッチング速度は、p型Zn<sub>0.7</sub>Mg<sub>0.3</sub>S

<sub>0.5</sub>Se<sub>0.5</sub>層24のそれよりも十分に遅いので、p型Zn<sub>0.7</sub>Mg<sub>0.3</sub>S<sub>0.5</sub>Se<sub>0.5</sub>層24だけが選択的にエッチングされる。

【0047】次にMBE装置に戻し、全面に厚さ750nmのClがドーブされたn型ZnS<sub>0.06</sub>Se<sub>0.94</sub>層25を成長させ、続けて、厚さ2μmのClがドーブされたZn<sub>0.85</sub>Mg<sub>0.15</sub>S<sub>0.3</sub>Se<sub>0.7</sub>層26を成長させる。

【0048】ここで、活性層21を構成する量子井戸層を除いて、全ての層はp型GaAs基板15に格子整合し、不整合転位の問題は生じなかった。

【0049】本実施例によれば、光を2次元的に閉じ込めることができ、レーザ特性を改善できるようになる。最も注目されるレーザ特性の改善は、レーザのしきい値電流の減少であった。

【0050】図5は、本発明の第3の実施例に係る屈折率導波型の半導体レーザ装置の概略構成を示す断面図である。

【0051】まず、第2の実施例と同様に、p型GaAs基板15からp型ZnSe層18を形成する。

【0052】次にp型ZnSe層18上に、格子整合層としての、厚さ2μmのp型Zn<sub>0.7</sub>Mg<sub>0.3</sub>S<sub>0.5</sub>Se<sub>0.5</sub>層28、厚さ1μmのZn<sub>0.85</sub>Mg<sub>0.15</sub>S<sub>0.3</sub>Se<sub>0.7</sub>層29を順次成長させる。

【0053】次にこのZn<sub>0.85</sub>Mg<sub>0.15</sub>S<sub>0.3</sub>Se<sub>0.7</sub>層29上に、Zn<sub>0.85</sub>Mg<sub>0.15</sub>S<sub>0.3</sub>Se<sub>0.7</sub>-ZnSe量子井戸構造を有する活性層30を形成する。

【0054】次にこの活性層30上に、厚さ150nmのn型Zn<sub>0.85</sub>Mg<sub>0.15</sub>S<sub>0.3</sub>Se<sub>0.7</sub>層31、Clがドーブされた厚さ10nmのエッチングストップ層としてのn型Cd<sub>0.5</sub>Zn<sub>0.2</sub>Mg<sub>0.3</sub>S層32を順次成長させる。

【0055】次にn型Cd<sub>0.5</sub>Zn<sub>0.2</sub>Mg<sub>0.3</sub>S層32上に、厚さ500nmのp型Cd<sub>0.2</sub>Zn<sub>0.8</sub>S<sub>0.35</sub>Se<sub>0.65</sub>層33を成長させる。このp型Cd<sub>0.2</sub>Zn<sub>0.8</sub>S<sub>0.35</sub>Se<sub>0.65</sub>層33は、p型GaAs基板15と格子整合しており、活性層30のバンドギャップより小さいバンドギャップを持っている。

【0056】次に成長装置から取り出した後、p型Cd<sub>0.2</sub>Zn<sub>0.8</sub>S<sub>0.35</sub>Se<sub>0.65</sub>層33を選択的にエッチングし、幅5μmのストライプ状の溝をp型Cd<sub>0.2</sub>Zn<sub>0.8</sub>S<sub>0.35</sub>Se<sub>0.65</sub>層33に形成する。

【0057】次に成長装置に戻し、全面に厚さ750nmのZn<sub>0.85</sub>Mg<sub>0.15</sub>S<sub>0.3</sub>Se<sub>0.7</sub>層34、厚さ2μmのZn<sub>0.7</sub>Mg<sub>0.3</sub>S<sub>0.5</sub>Se<sub>0.5</sub>層35を順次成長させる。最後に、Au-Ti合金電極10、11を形成して完成する。

【0058】このように構成された半導体レーザ装置でも先の実施例と同様な効果が得られるのを確認した。

【0059】図6は、本発明の第4の実施例に係る半導

体レーザ装置の概略構成を示す断面図である。これはn型基板を用いた例である。

【0060】これを製造工程に従い説明すると、まず、n型GaAs基板37上にn型GaAs緩衝層38を成長させた後、この上に格子整合する厚さ2 $\mu$ mのn型Zn<sub>0.7</sub>Mg<sub>0.3</sub>Se<sub>0.5</sub>層39を成長させる。

【0061】次にn型Zn<sub>0.7</sub>Mg<sub>0.3</sub>Se<sub>0.5</sub>層39上に、厚さ0.65 $\mu$ mのバンドギャップの小さなn型Zn<sub>0.85</sub>Mg<sub>0.15</sub>Se<sub>0.7</sub>層40、続いて、活性層41としての3つのCd<sub>0.2</sub>Zn<sub>0.8</sub>Se量子井戸層を順次成長させる。

【0062】次にこの活性層41上に、厚さ0.15 $\mu$ mのp型Zn<sub>0.85</sub>Mg<sub>0.15</sub>Se<sub>0.7</sub>層42を成長させ、続いて、エッチングストップ層として、格子整合した厚さ10nmの薄いp型Cd<sub>0.5</sub>Zn<sub>0.2</sub>Mg<sub>0.3</sub>S層43を成長させる。

【0063】このp型Cd<sub>0.5</sub>Zn<sub>0.2</sub>Mg<sub>0.3</sub>S層43は、周囲の層より若干低い約5 $\times 10^{16}$ cm<sup>-3</sup>の濃度（非常に薄いため大幅なオフセットがあるにも拘らず、層を通しての有効な伝導が十分になされる）を持っている。

【0064】次にp型Cd<sub>0.5</sub>Zn<sub>0.2</sub>Mg<sub>0.3</sub>S層43上に、厚さ0.5 $\mu$ mの広禁制帯幅のn型Zn<sub>0.7</sub>Mg<sub>0.3</sub>Se<sub>0.5</sub>層44を成長させる。

【0065】次に成長装置から取り出した後、前述したようにn型Zn<sub>0.7</sub>Mg<sub>0.3</sub>Se<sub>0.5</sub>層44を選択的にエッチングする。

【0066】次に成長装置に戻し、全面に厚さ0.5 $\mu$ mのp型Zn<sub>0.85</sub>Mg<sub>0.15</sub>Se<sub>0.7</sub>層45を成長させ、続けて、全面に厚さ2 $\mu$ mの広禁制帯幅のp型Zn<sub>0.7</sub>Mg<sub>0.3</sub>Se<sub>0.5</sub>層46を成長させた。

【0067】次にこのp型Zn<sub>0.7</sub>Mg<sub>0.3</sub>Se<sub>0.5</sub>層46上に、良好なコンタクトを取るために、厚さ0.1 $\mu$ mの高濃度のp型ZnSe層47を成長させる。

【0068】次にこのp型ZnSe層47上に、バンドギャップ差を緩和する層であるp型ZnSe層とp型ZnTe層とが交互に重なってなる超格子コンタクト層48を成長させる。この超格子コンタクト層48によって後工程で形成するAu・Pd合金電極10aとp型ZnSe層47とのコンタクトを良好にできる。

【0069】ここで、超格子コンタクト層の代わりにバンドギャップが徐々に変わるZnSeTeを用いても良い。また、p型GaAs基板を用いた場合には、p型AlGaInP層を用いても良い。

【0070】最後に、超格子コンタクト層48にAu・Pd合金電極10a、n型GaAs基板37にAu・Ti合金電極11を形成した後、端面劣化を防止するためにレーザ端面を被覆して完成する。

【0071】図7は、本発明の第5の実施例に係る半導

体レーザ装置の概略構成を示す断面図である。これもn型基板を用いた例である。

【0072】先ず、第4の実施例と同様に、半導体層37、38、39を形成した後、厚さ0.4 $\mu$ mのZn<sub>0.85</sub>Mg<sub>0.15</sub>Se<sub>0.7</sub>層50を成長させる。

【0073】次にこのZn<sub>0.85</sub>Mg<sub>0.15</sub>Se<sub>0.7</sub>層50上に、エッチングストップ層としてのClがドーブされた厚さ10nmの薄いn型Cd<sub>0.5</sub>Zn<sub>0.2</sub>Mg<sub>0.3</sub>S層51、厚さ約0.6 $\mu$ mの広禁制帯幅のp型Zn<sub>0.7</sub>Mg<sub>0.3</sub>Se<sub>0.5</sub>層52を順次成長させる。

【0074】次に成長装置から取り出した後、p型Zn<sub>0.7</sub>Mg<sub>0.3</sub>Se<sub>0.5</sub>層52を選択エッチングし、ストライプ状の溝を形成する。

【0075】次に成長装置に戻して、p型Zn<sub>0.7</sub>Mg<sub>0.3</sub>Se<sub>0.5</sub>層52上に、n型Zn<sub>0.85</sub>Mg<sub>0.15</sub>Se<sub>0.7</sub>層53、三つのCd<sub>0.2</sub>Zn<sub>0.8</sub>Se量子井戸層からなる活性層54、厚さ0.65 $\mu$ mのp型Zn<sub>0.85</sub>Mg<sub>0.15</sub>Se<sub>0.7</sub>層55を順次成長させる。

【0076】次にこのp型Zn<sub>0.85</sub>Mg<sub>0.15</sub>Se<sub>0.7</sub>層55上に、厚さ2 $\mu$ mの広禁制帯幅のp型Zn<sub>0.7</sub>Mg<sub>0.3</sub>Se<sub>0.5</sub>層56を成長させた後、この上に先の実施例と同様に、p型ZnSe層47、超格子コンタクト層48を順次形成する。

【0077】最後に、超格子コンタクト層48にAu・Pd合金電極10a、n型GaAs基板37にAu・Ti合金電極11を形成した後、端面劣化を防止するためにレーザ端面を被覆して完成する。

【0078】このようにして製造された本実施例の半導体レーザ装置、並びに第4の実施例の半導体レーザ装置を評価したところ、室温でCW発光することが分かった。また、図8の波長-光強度の特性図に示すように、約530nmの付近でレーザ発振が生じることが分かった。

【0079】図9は、本発明の第6の実施例に係る半導体レーザ装置の概略構成を示す断面図である。

【0080】これは基板材料としてGaAsの代わりに、InPを用いた例である。InPはGaAsに比べて深い価電子帯を持ち、これにより、p型II-VI族エピタキシャル半導体層との間のオフセットを減少できる。まず、InP基板60上に、ほぼ格子整合する厚さ0.1 $\mu$ mのp型ZnSe<sub>0.55</sub>Te<sub>0.45</sub>層61、厚さ0.1 $\mu$ mのp型Cd<sub>0.3</sub>Zn<sub>0.7</sub>Se<sub>0.8</sub>Te<sub>0.2</sub>層62、厚さ0.1 $\mu$ mのp型Cd<sub>0.5</sub>Zn<sub>0.5</sub>Se層63を順次成長させる。

【0081】次にこのp型Cd<sub>0.5</sub>Zn<sub>0.5</sub>Se層63上に、格子整合する厚さ2 $\mu$ mのp型Cd<sub>0.25</sub>Zn<sub>0.3</sub>Mg<sub>0.45</sub>Se層64、厚さ0.5 $\mu$ mのp型Cd<sub>0.4</sub>Zn<sub>0.45</sub>Mg<sub>0.15</sub>Se層65を順次形成する。



【0082】次にこのp型 $\text{Cd}_{0.4}\text{Zn}_{0.45}\text{Mg}_{0.15}\text{Se}$ 層65上に、 $\text{Cd}_{0.4}\text{Zn}_{0.45}\text{Mg}_{0.15}\text{Se}$ 障壁層で分離された三つの $\text{Cd}_{0.35}\text{Zn}_{0.65}\text{Se}$ 量子井戸層からなる活性層66を成長させる。前述した構造とは対照的に、これら井戸層は $\text{Cd}_{0.4}\text{Zn}_{0.6}\text{Se}$ 層の小さな格子定数のため、圧縮歪みというよりむしろ張力歪みが生じる。

【0083】活性層66上に、厚さ $0.15\mu\text{m}$ のn型 $\text{Cd}_{0.4}\text{Zn}_{0.45}\text{Mg}_{0.15}\text{Se}$ 層67、厚さ $5\text{nm}$ の薄いエッチングストップ層としてのn型 $\text{Cd}_{0.7}\text{Mg}_{0.3}\text{S}$ 層68を順次成長させる。

【0084】このn型 $\text{Cd}_{0.7}\text{Mg}_{0.3}\text{S}$ 層68の組成は以下のようにして決めた。すなわち、適度に大きなバンドギャップが得られ、残りの半導体層との歪みを低減できるとともに、エッチングストップ層として使用できる程度の厚さに成長できるかという観点から決められた。なお、n型 $\text{Cd}_{0.7}\text{Mg}_{0.3}\text{S}$ 層68の厚さは、 $10\text{nm}$ であっても良い。この層の厚さの相違は装置の性能には関係しないが、ストップ層が厚い場合、 $\text{CdMgSSe}$ 層が望ましい。

【0085】次にn型 $\text{Cd}_{0.7}\text{Mg}_{0.3}\text{S}$ 層68上に、格子整合する厚さ $0.5\mu\text{m}$ のp型 $\text{Cd}_{0.5}\text{Zn}_{0.5}\text{Se}$ 層69を成長させる。このp型 $\text{Cd}_{0.5}\text{Zn}_{0.5}\text{Se}$ 層69のバンドギャップは、損失導波構造となるように、上記量子井戸層のバンドギャップよりも小さくなっている。なお、p型 $\text{Cd}_{0.5}\text{Zn}_{0.5}\text{Se}$ 層69の代わりに、p型 $\text{Zn}_{0.65}\text{Mg}_{0.35}\text{Se}_{0.7}\text{Te}_{0.3}$ 層を用いても良い。

【0086】次に成長装置から取り出した後、p型 $\text{Cd}_{0.5}\text{Zn}_{0.5}\text{Se}$ 層69を選択的にエッチングして、ストライプ状の溝を形成する。

【0087】次に成長装置に戻して、全面に厚さ $0.5\mu\text{m}$ のn型 $\text{Cd}_{0.4}\text{Zn}_{0.45}\text{Mg}_{0.15}\text{Se}$ 層70、厚さ $2\mu\text{m}$ のn型 $\text{Cd}_{0.25}\text{Zn}_{0.3}\text{Mg}_{0.45}\text{Se}$ 層71のクラッド層を順次成長させた。

【0088】最後に、p型InP基板60、n型 $\text{Cd}_{0.25}\text{Zn}_{0.3}\text{Mg}_{0.45}\text{Se}$ 層71に、それぞれ、 $\text{Au}\cdot\text{Ti}$ 合金電極11、10を設けて完成する。

【0089】このようにして製造され、レーザ端面が被覆されていない半導体レーザ装置を評価したところ、室温で約 $570\text{nm}$ のバルスレーザ発光が得られることが分かった。

【0090】また、GaAsと比較してInPの深い価電子帯のためと硫化セレン化合物系よりもむしろセレン化合物系の構造であるため、本実施例のレーザのしきい値電圧はGaAs系レーザのそれよりも一般的に小さかった。

【0091】図10は、本発明の第7の実施例に係る半導体レーザ装置の概略構成を示す断面図である。

【0092】図中、101はn型GaAs基板を示して

おり、このn型GaAs基板101上には、n型GaAsバッファ層102、n型 $\text{Zn}_{1-x_1}\text{Cd}_{x_1}\text{Sr}_{y_1}\text{Se}_{1-y_1}$ バッファ層103、n型 $\text{Zn}_{1-x_2}\text{Cd}_{x_2}\text{Sr}_{y_2}\text{Se}_{1-y_2}$ クラッド層104、アンドープ $\text{Zn}_{1-x_3}\text{Cd}_{x_3}\text{Sr}_{y_3}\text{Se}_{1-y_3}$ 光ガイド層105、アンドープ $\text{Zn}_{1-x_4}\text{Cd}_{x_4}\text{Sr}_{y_4}\text{Se}_{1-y_4}$ 量子井戸層(活性層)106、アンドープ $\text{Zn}_{1-x_5}\text{Cd}_{x_5}\text{Sr}_{y_5}\text{Se}_{1-y_5}$ 光ガイド層107、p型 $\text{Zn}_{1-x_2}\text{Cd}_{x_2}\text{Sr}_{y_2}\text{Se}_{1-y_2}$ 第1クラッド層108、p型 $\text{Zn}_{1-x_5}\text{Cd}_{x_5}\text{Sr}_{y_5}\text{Se}_{1-y_5}$ エッチングストップ・格子歪み緩和層109が順次形成されている。

【0093】このエッチングストップ・格子歪み緩和層109上には、p型 $\text{Zn}_{1-x_2}\text{Cd}_{x_2}\text{Sr}_{y_2}\text{Se}_{1-y_2}$ 第2クラッド層110、p型 $\text{Zn}_{1-x_1}\text{Cd}_{x_1}\text{Sr}_{y_1}\text{Se}_{1-y_1}$ 第1キャップ層111、p型InGaAlP第2キャップ層112からなり、断面がメサ状のストライプ構造が形成されている。

【0094】このようなストライプ構造は、第2クラッド層110、第1キャップ層111、第2キャップ層112を順次成長させた後、この積層膜のうちストライプ構造となる部分以外を選択的にエッチング除去することにより作成できる。

【0095】ここで、例えば、塩酸系や硫酸系やアンモニア系エッチング液を用いれば、エッチングストップ・格子歪み緩和層109とクラッド層110とのエッチング選択比を十分に大きくでき、容易にストライプ構造を形成できる。

【0096】ストライプ構造の側部にはn型 $\text{Zn}_{1-x_6}\text{Cd}_{x_6}\text{Sr}_{y_6}\text{Se}_{1-y_6}$ 電流ブロック層113が形成されている。p型InGaAlP第2キャップ層112、n型 $\text{Zn}_{1-x_6}\text{Cd}_{x_6}\text{Sr}_{y_6}\text{Se}_{1-y_6}$ 電流ブロック層113上には、p型GaAsコンタクト層114が形成され、このp型GaAsコンタクト層114には、p側電極 $\text{AuZn}$ 116が設けられている。また、n型GaAs基板101には、n側電極 $\text{AuGe}$ 115が設けられている。

【0097】ここで、基板101は(100)面から[011]方向に傾斜し、傾きは $16$ 度以下とし、バッファ層103の組成は $0 \leq x_1 \leq 1$ 、 $0 \leq y_1 \leq 1$ 、クラッド層104、108、110の組成は $0 \leq x_2 \leq 1$ 、 $0 \leq y_2 \leq 1$ 、光ガイド層105、107の組成は $0 \leq x_3 \leq 1$ 、 $0 \leq y_3 \leq 1$ とし、且つGaAs基板101に格子整合するように上記組成を選ぶ。

【0098】量子井戸層106の組成は $0 \leq x_4 \leq 1$ 、 $0 \leq y_4 \leq 1$ 、厚さを $1 \sim 200\text{nm}$ とし、井戸数は $1 \sim 100$ とする。

【0099】エッチングストップ・格子歪み緩和層109の組成は $0 \leq x_5 \leq 1$ 、 $0 \leq y_5 \leq 1$ 、電流ブロック層113の組成は $0 \leq x_6 \leq 1$ の範囲で設定できるが、GaAs基板101に格子整合させることはできない。格子不整合量は $0.3\%$ 以上あれば良く、単結晶でなくても問題がないことが分かった。

【0100】第2キャップ層112はInGaP層、InGaAlP層、InAlP層からなる多層構造でもかまわない。

【0101】各クラッド層の不純物ドーピングは、例えば、p型はNを不純物とし $8 \times 10^{17} \text{ cm}^{-3}$ 程度、n型はClを不純物とし $7 \times 10^{17} \text{ cm}^{-3}$ 程度の濃度とした。

【0102】光ガイド層105の厚さは5～500nmとする。

【0103】n型 $\text{Zn}_{1-x}\text{Cd}_x\text{Se}$ 電流ブロック層113はGaAs基板101に格子整合していないが、同じく格子整合していないエッチングストップ・格子歪み緩和層109上に再成長することで格子歪み等による転位や欠陥を低減できることが実験から分かった。そして、n型 $\text{Zn}_{1-x}\text{Cd}_x\text{Se}$ 電流ブロック層113は、電流ブロック層および光吸収層として働き、横モードの安定化を実現できる。

【0104】すなわち、本実施例によれば、電流ブロック層113である $\text{Zn}_{1-x}\text{Cd}_x\text{Se}$ 層はGaAs基板101と格子整合しないが、下地としてエッチングストップ・格子歪み緩和層109である $\text{Zn}_{1-x}\text{Cd}_x\text{S}_{y5}\text{Se}_{1-y5}$ 層を用いれば、電流ブロック層および光吸収層として働く $\text{Zn}_{1-x}\text{Cd}_x\text{Se}$ 層を成長させることができる。この結果、活性層で発光した光を吸収できるようになり、横モードが安定化し、信頼性の向上が図れるようになる。

【0105】図11は、本発明の第9の実施例に係る半導体レーザ装置の概略構成を示す断面図である。図11において、201はp型GaAs基板、202はp型InGaPバッファ層、203はp型InGaAlP中間バンドギャップ層、204はp型 $\text{Zn}_{1-x1}\text{Cd}_{x1}\text{S}_{y1}\text{Se}_{1-y1}$ バッファ層、205はp型 $\text{Zn}_{1-x2}\text{Cd}_{x2}\text{S}_{y2}\text{Se}_{1-y2}$ クラッド層、206はアンドープ $\text{Zn}_{1-x3}\text{Cd}_{x3}\text{S}_{y3}\text{Se}_{1-y3}$ 光ガイド層、207はアンドープ $\text{Zn}_{1-x4}\text{Cd}_{x4}\text{S}_{y4}\text{Se}_{1-y4}$ 量子井戸層、208はアンドープ $\text{Zn}_{1-x5}\text{Cd}_{x5}\text{S}_{y5}\text{Se}_{1-y5}$ 光ガイド層、209はn型 $\text{Zn}_{1-x2}\text{Cd}_{x2}\text{S}_{y2}\text{Se}_{1-y2}$ 第一クラッド層、210はn型 $\text{Zn}_{1-x6}\text{Cd}_{x6}\text{S}_{y6}\text{Se}_{1-y6}$ エッチングストップ・格子歪み緩和層、211はn型 $\text{Zn}_{1-x2}\text{Cd}_{x2}\text{S}_{y2}\text{Se}_{1-y2}$ 第二クラッド層、212はn型 $\text{Zn}_{1-x1}\text{Cd}_{x1}\text{S}_{y1}\text{Se}_{1-y1}$ キャップ層、213はp型 $\text{Zn}_{1-x6}\text{Cd}_{x6}\text{Se}$ 電流ブロック層、214はn型GaAsコンタクト層、215はp型電極AuZn、216はn型電極AuGeを示している。

【0106】ここで、基板201は(100)面から【011】方向に傾斜し、傾きは16度以下である。バッファ層202は、ZnSe層、InGaAs層、InGaP層からなる多層構造でも構わない。

【0107】また、中間バンドギャップ層203はInGaP層、InGaAlP層、InAlP層からなる多

層構造でもかまわない。

【0108】バッファ層204とキャップ層212の組成は $0 \leq X1 \leq 1$ 、 $0 \leq Y1 \leq 1$ であり、クラッド層205、209、211の組成は $0 \leq X2 \leq 1$ 、 $0 \leq Y2 \leq 1$ であり、光ガイド層206、208の組成は $0 \leq X3 \leq 1$ 、 $0 \leq Y3 \leq 1$ とし、且つGaAs基板201に格子整合するように上記組成を選ぶ。

【0109】量子井戸層207の組成は $0 \leq X4 \leq 1$ 、 $0 \leq Y4 \leq 1$ であり、厚さを1～200nmとし、井戸数は1～100とする。

【0110】エッチングストップ・格子歪み緩和層210の組成は $0 \leq X5 \leq 1$ 、 $0 \leq Y5 \leq 1$ であり、電流ブロック層213の組成は $0 \leq X6 \leq 1$ である。エッチングストップ・格子歪み緩和層210、電流ブロック層213はGaAs基板101と格子整合していないが、格子不整合量は0.3%以上あればよく、単結晶でなくても問題がないことが分かった。

【0111】各クラッド層の不純物ドーピングは、例えば、p型はNを不純物とし $8 \times 10^{17} \text{ cm}^{-3}$ 程度、n型はClを不純物とし $7 \times 10^{17} \text{ cm}^{-3}$ 程度の濃度とする。

【0112】光ガイド層205、208の厚さは5～500nmである。

【0113】エッチングストップ・格子歪み緩和層210とクラッド層211とのエッチング選択比は、先の実施例と同様に、塩酸系や硫酸系やアンモニア系エッチング液を用いることで高くできる。

【0114】本実施例の場合も、先の実施例と同様に、電流ブロック層213はGaAs基板201に格子整合していないが、同じく格子整合していないエッチングストップ・格子歪み緩和層210上に再成長することで格子歪み等による転位や欠陥を低減でき、電流ブロック層と光吸収層として働く電流ブロック層213を形成でき、横モードの安定化が図れる。また、p型電極215は、バッファ層202や中間バンドギャップ層203上に形成されていても良い。

【0115】なお、第7、第8の実施例は以下のように変形した実施できる。すなわち、クラッド層の材料としてCdZnS、ZnSTe、ZnMgSSeを用いたり、光ガイド層の材料としてCdZnS、ZnSTeを用いても良い。また、電流ブロック層をn型や半絶縁型にしたり、材料としてCdS、CdSe、ZnTe、ZnS等のII-VI族化合物半導体の熱抵抗の小さい材料や、n型のIII-V族化合物半導体やGeやSi等の材料を用いて良い。また、電流ブロック層は必ずしも単結晶でなくても活性層の発光を十分に吸収でき、第7、第8の実施例と同様の効果が得られる。

【0116】なお、上記実施例では半導体レーザについて説明したが、本発明は、LED等の他の光半導体装置や、バイポーラトランジスタ等の光半導体装置以外の半



導体装置にも適用できる。

【0117】

【発明の効果】以上詳述したように本発明によれば、 $Cd_x Zn_{1-x} Mg_{1-y-z} Sy_2 Se_u Te_{1-y_2-u}$ 層の下地として $Cd_x Zn_{1-x} Mg_{1-v-r} Sy_1 Se_{1-y_1}$ 層を用いることにより、 $Cd_x Zn_{1-x} Mg_{1-s-t} Sy_2 Se_u Te_{1-y_2-u}$ 層をエッチングする際に、 $Cd_x Zn_{1-x} Mg_{1-v-r} Sy_1 Se_{1-y_1}$ 層より下の層がエッチングされるのを防止でき、従来得られなかった構造を有するII-VI族化合物半導体系の半導体装置が得られるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る半導体レーザ装置の概略構成を示す断面図

【図2】従来の半導体レーザ装置の概略構成を示す断面図

【図3】従来および本発明の半導体レーザ装置の光強度の電流依存性を示す特性図

【図4】本発明の第2の実施例に係る半導体レーザ装置の概略構成を示す断面図

【図5】本発明の第3の実施例に係る半導体レーザ装置の概略構成を示す断面図

【図6】本発明の第4の実施例に係る半導体レーザ装置の概略構成を示す断面図

【図7】本発明の第5の実施例に係る半導体レーザ装置の概略構成を示す断面図

【図8】図7の半導体レーザ装置の光強度の波長依存性を示す特性図

【図9】本発明の第6の実施例に係る半導体レーザ装置の概略構成を示す断面図

【図10】本発明の第7の実施例に係る半導体レーザ装置の概略構成を示す断面図

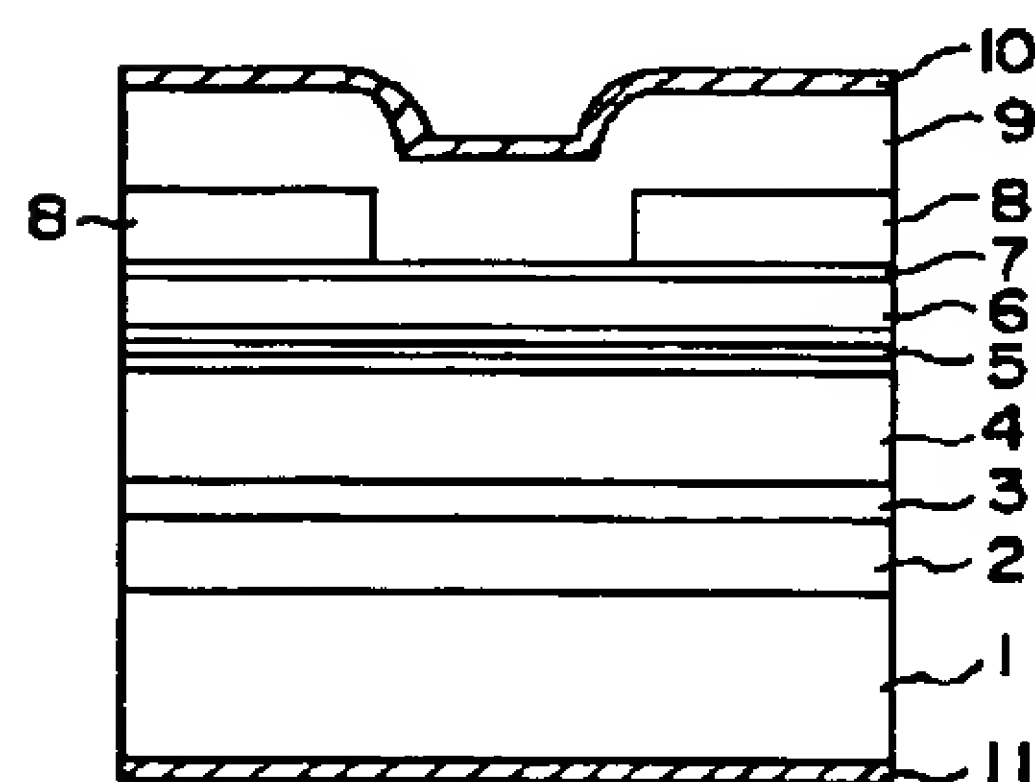
【図11】本発明の第8の実施例に係る半導体レーザ装置の概略構成を示す断面図

【符号の説明】

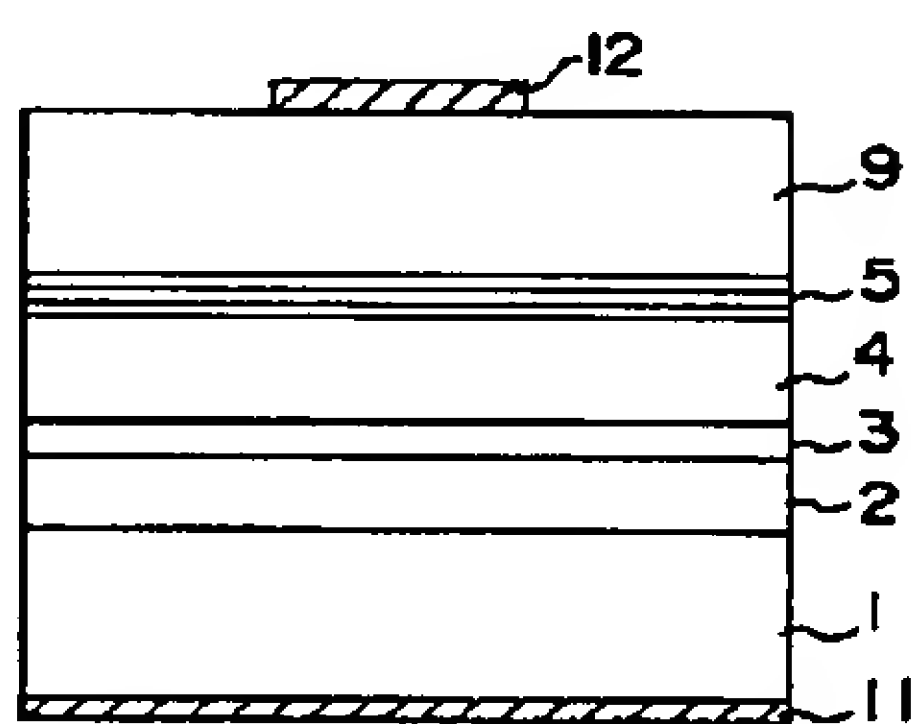
1…p型GaAs基板、2…p型InGaAs層、3…p型InGaAlP層、4…p型ZnSe層、5…活性層、6…n型ZnSe層、7…ZnS層、8…p型ZnSe層、9…n型ZnSe層、10, 11…Au・Ti合金電極

101…n型GaAs基板、102…n型GaAsバッファ層、103…n型 $Zn_{1-x_1} Cd_{x_1} Sy_1 Se_{1-y_1}$ バッファ層、104…n型 $Zn_{1-x_2} Cd_{x_2} Sy_2 Se_{1-y_2}$ クラッド層、105…アンドープ $Zn_{1-x_3} Cd_{x_3} Sy_3 Se_{1-y_3}$ 光ガイド層、106…アンドープ $Zn_{1-x_4} Cd_{x_4} Sy_4 Se_{1-y_4}$ 量子井戸層（活性層）、107…アンドープ $Zn_{1-x_5} Cd_{x_5} Sy_5 Se_{1-y_5}$ 光ガイド層、108…p型 $Zn_{1-x_2} Cd_{x_2} Sy_2 Se_{1-y_2}$ 第1クラッド層、109…p型 $Zn_{1-x_6} Cd_{x_6} Sy_6 Se_{1-y_6}$ エッチングストップ・格子歪み緩和層、110…p型 $Zn_{1-x_2} Cd_{x_2} Sy_2 Se_{1-y_2}$ 第2クラッド層、111…p型 $Zn_{1-x_1} Cd_{x_1} Sy_1 Se_{1-y_1}$ 第1キャップ層、112…p型InGaAlP第2キャップ層、113…n型 $Zn_{1-x_6} Cd_{x_6} Se$ 電流ブロック層、114…p型GaAsコンタクト層、115…n型電極AuGe、116…p側電極AuZn

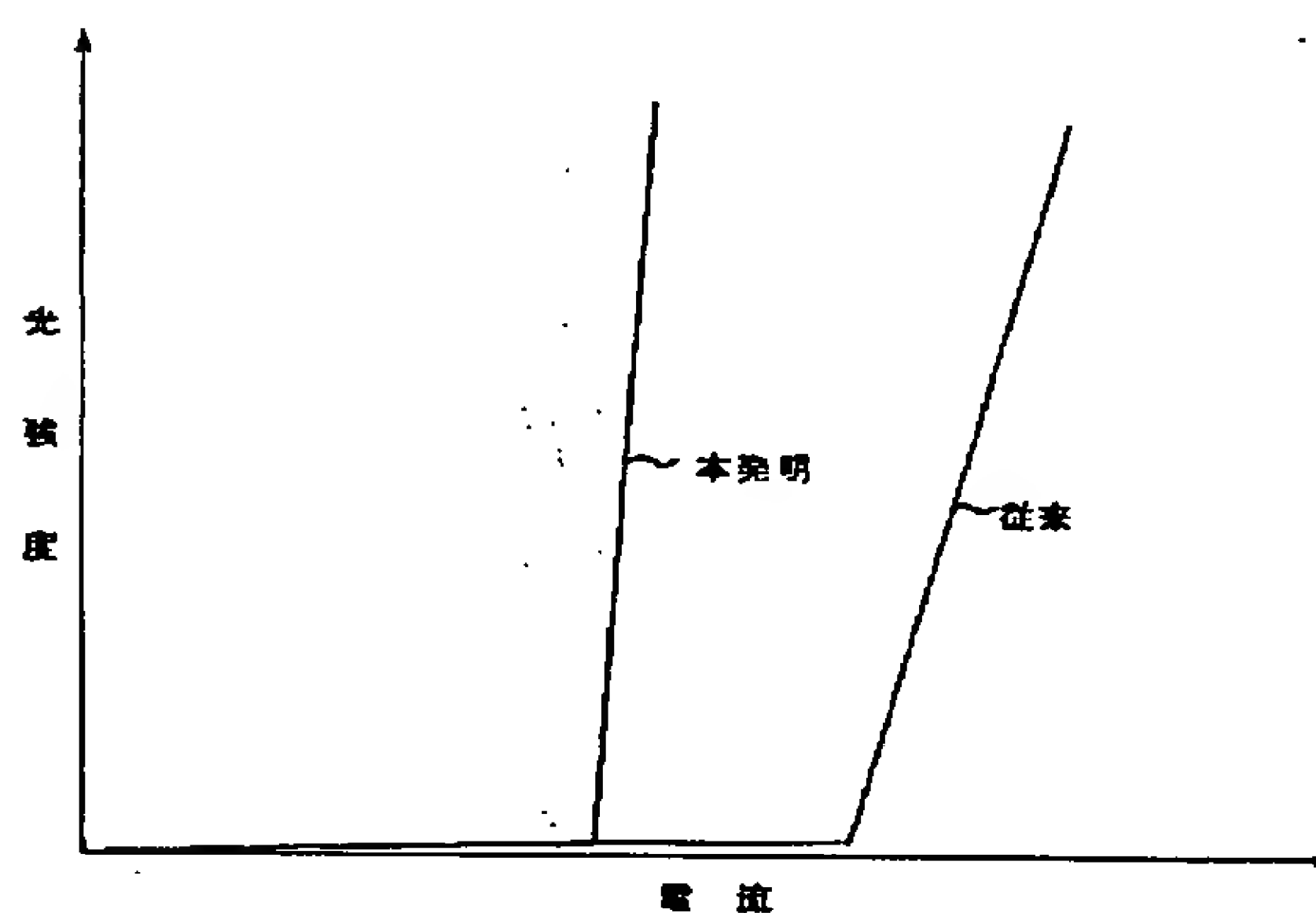
【図1】



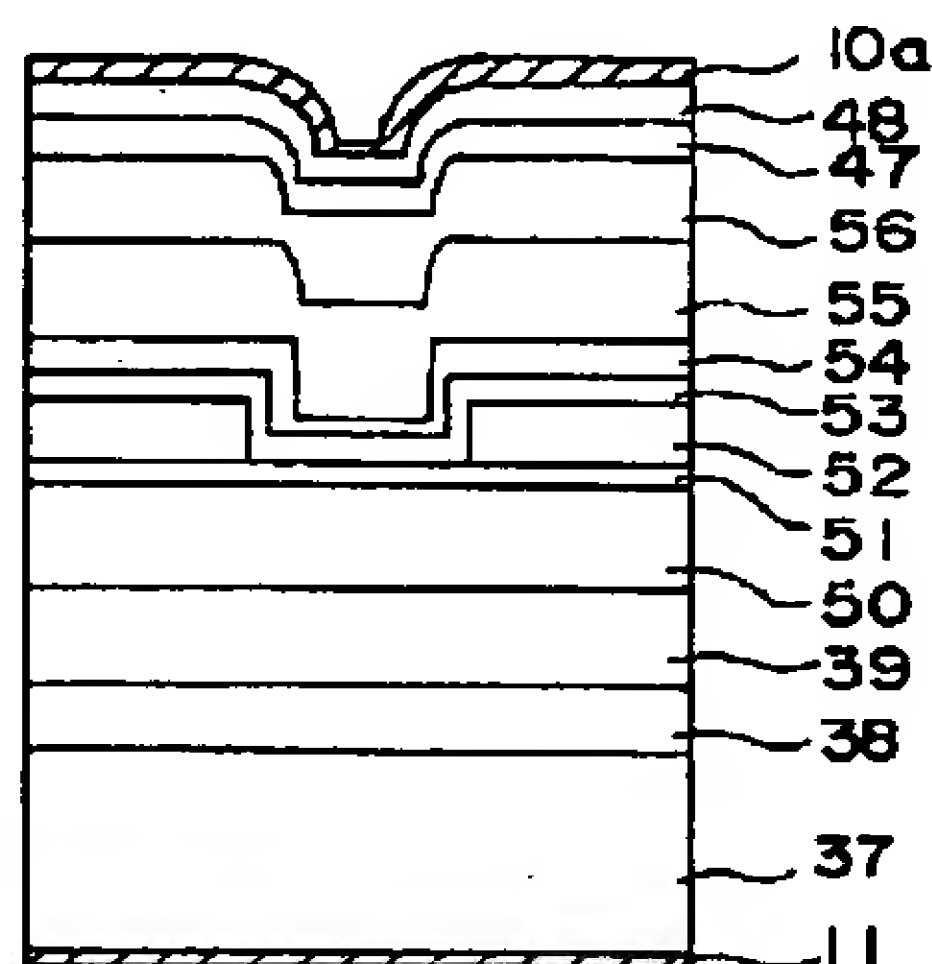
【図2】



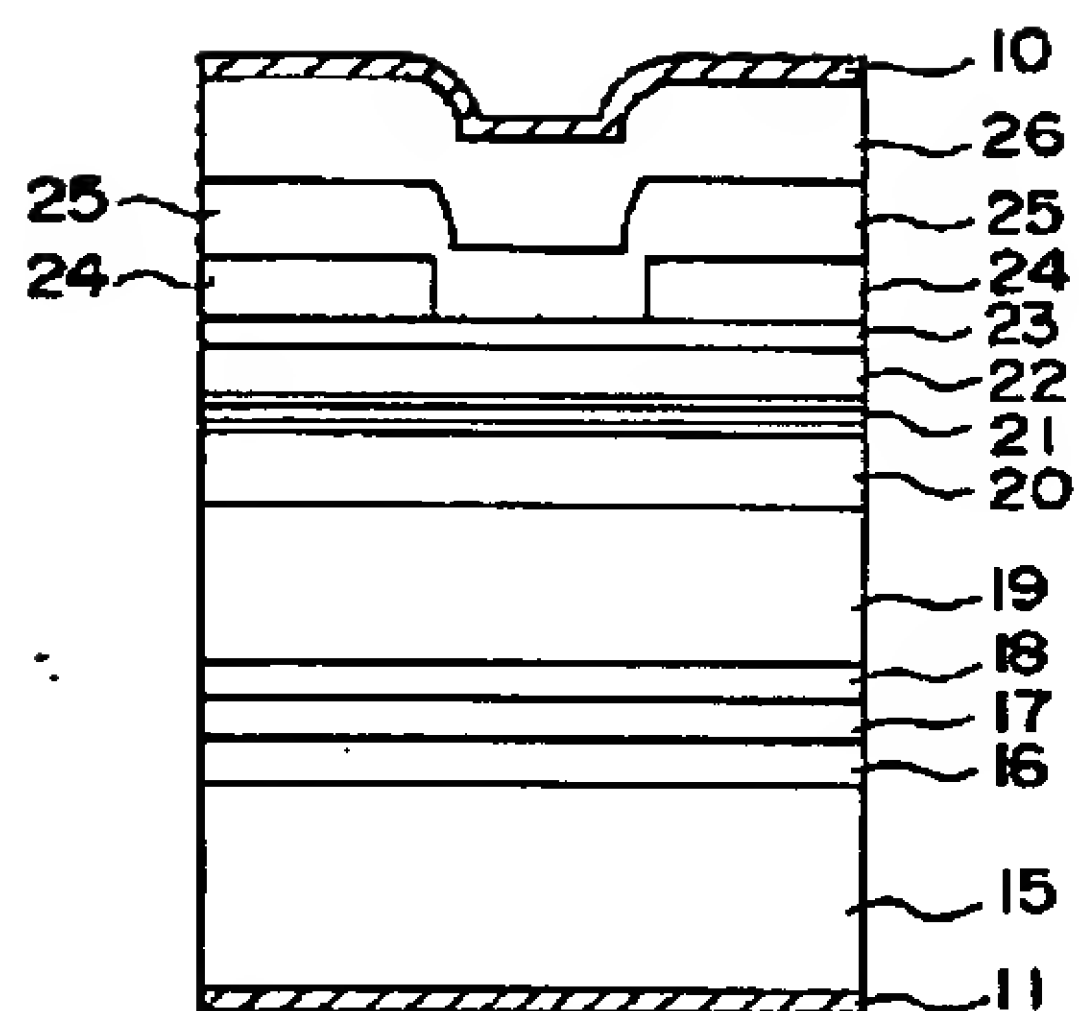
【図3】



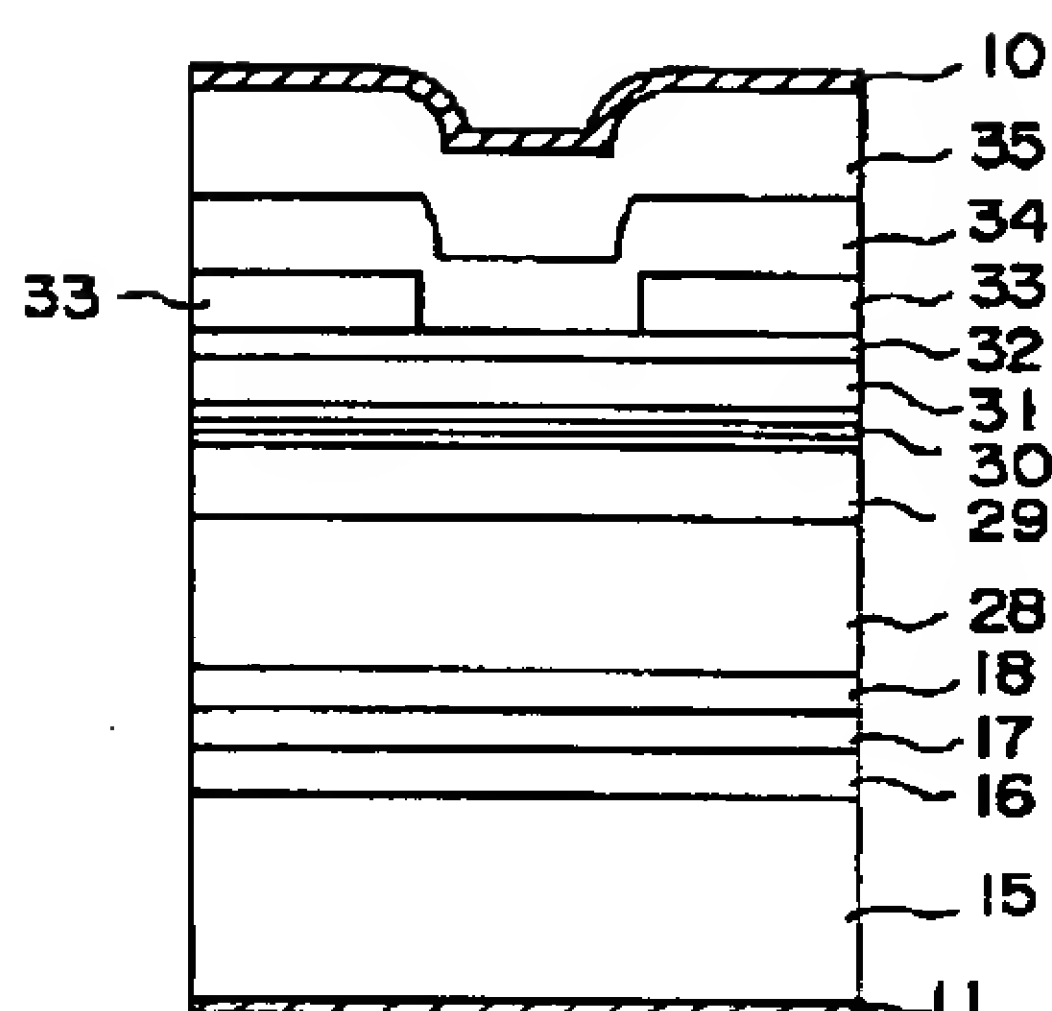
【図7】



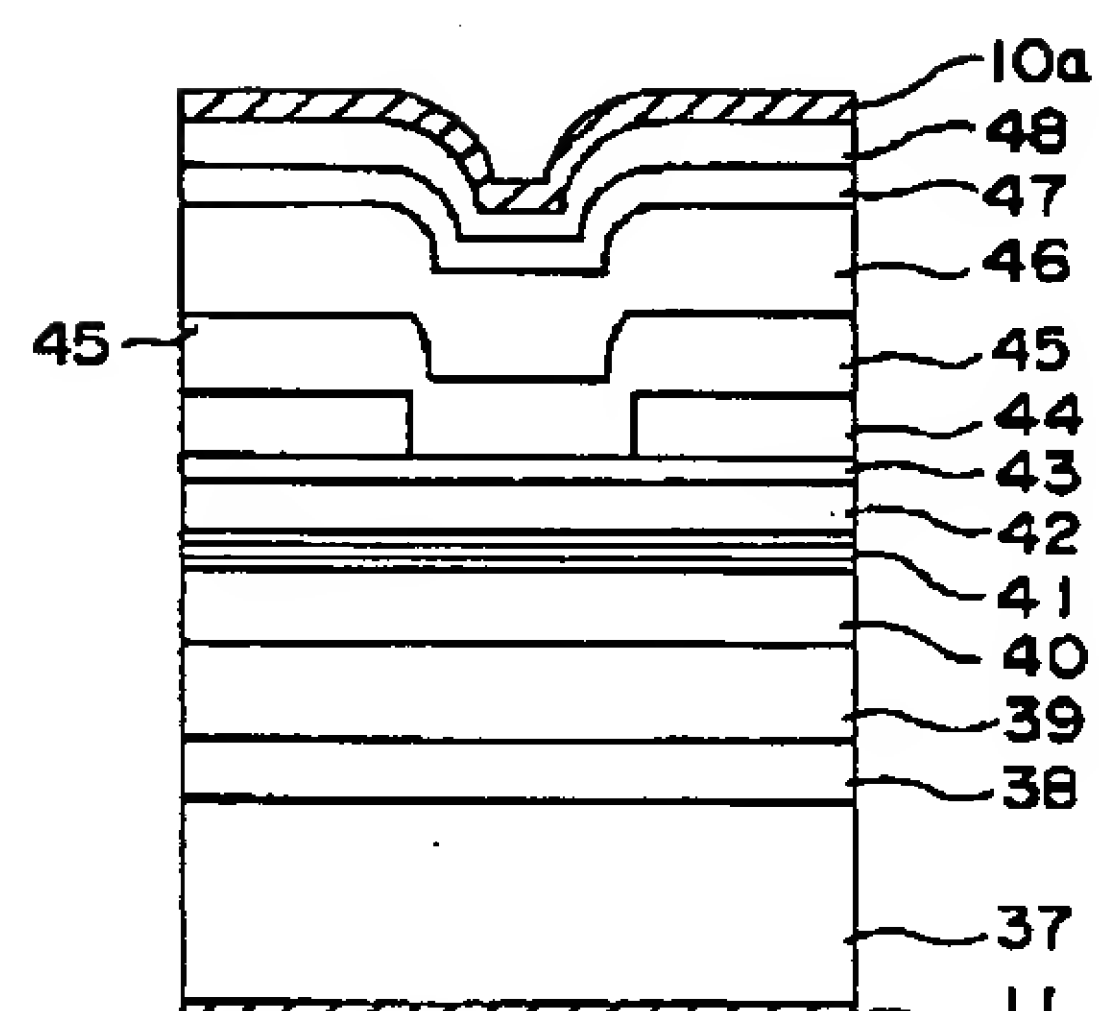
【図4】



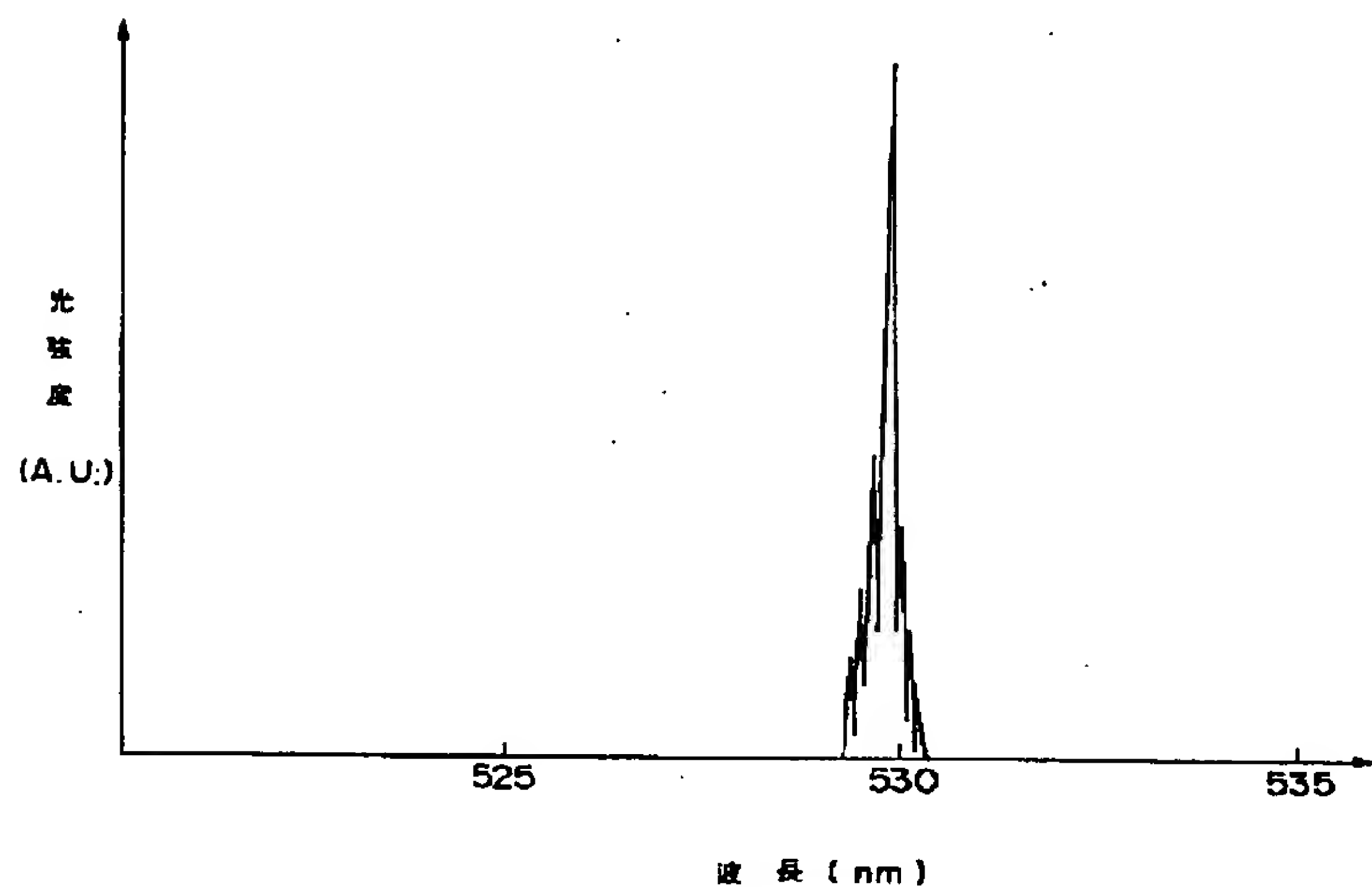
【図5】



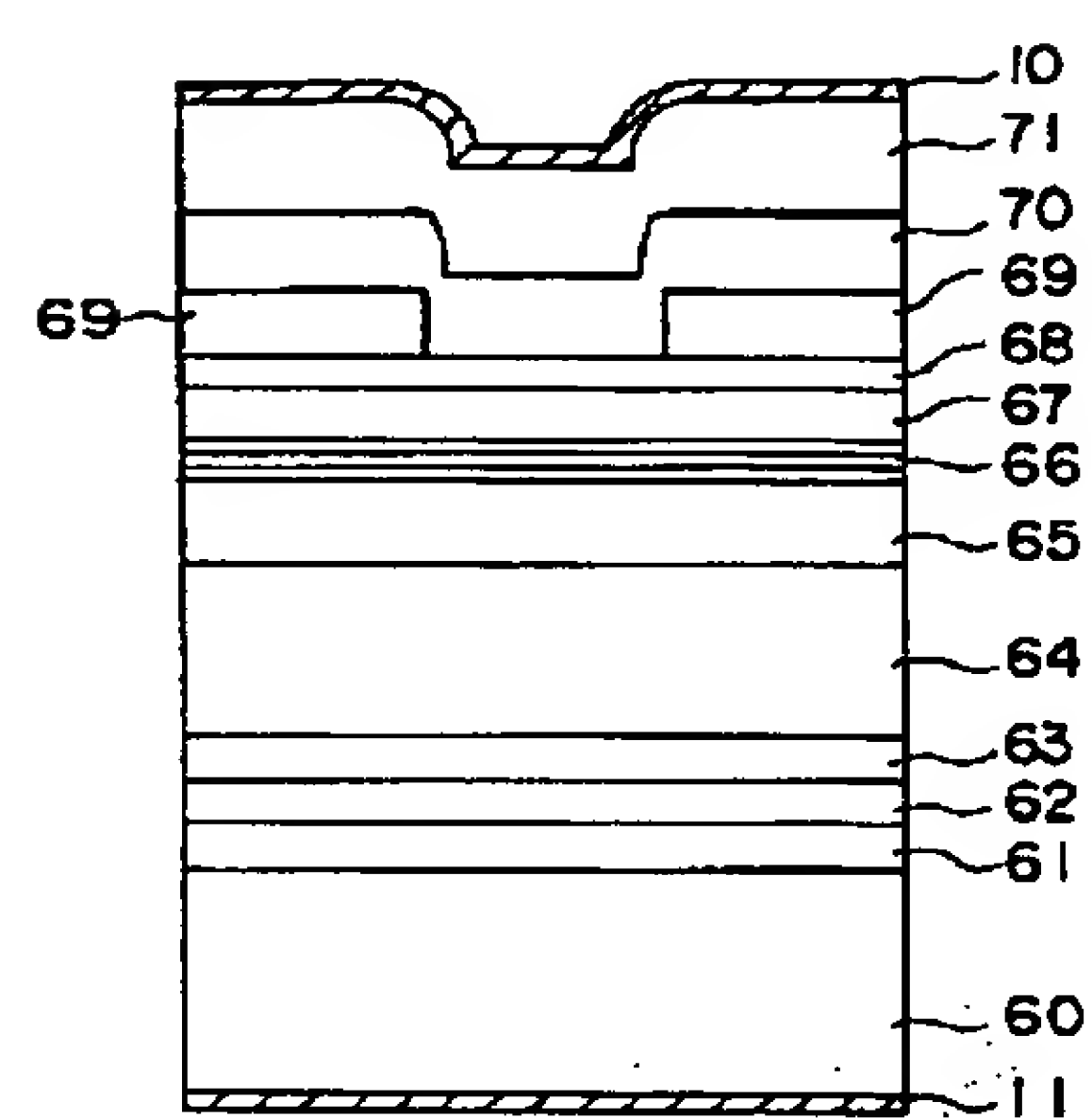
【図6】



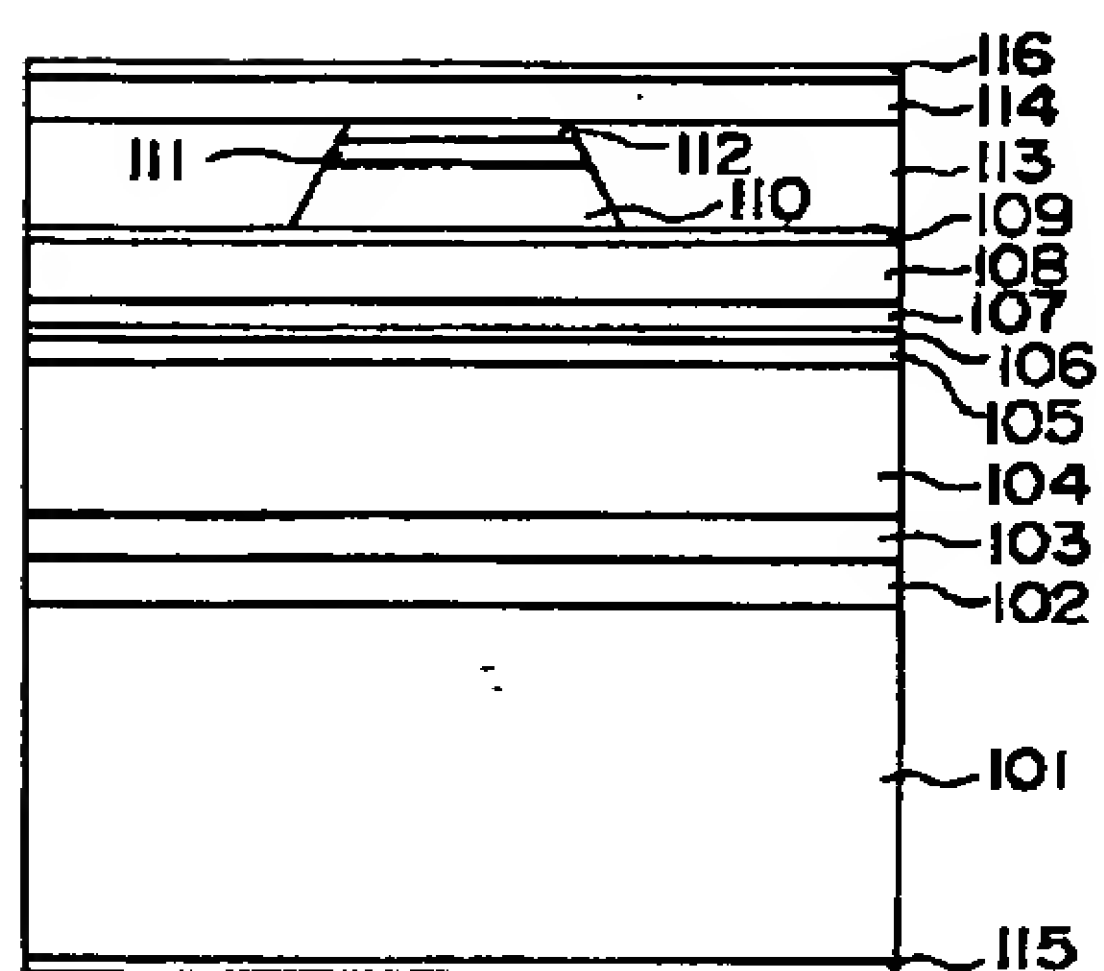
【図8】



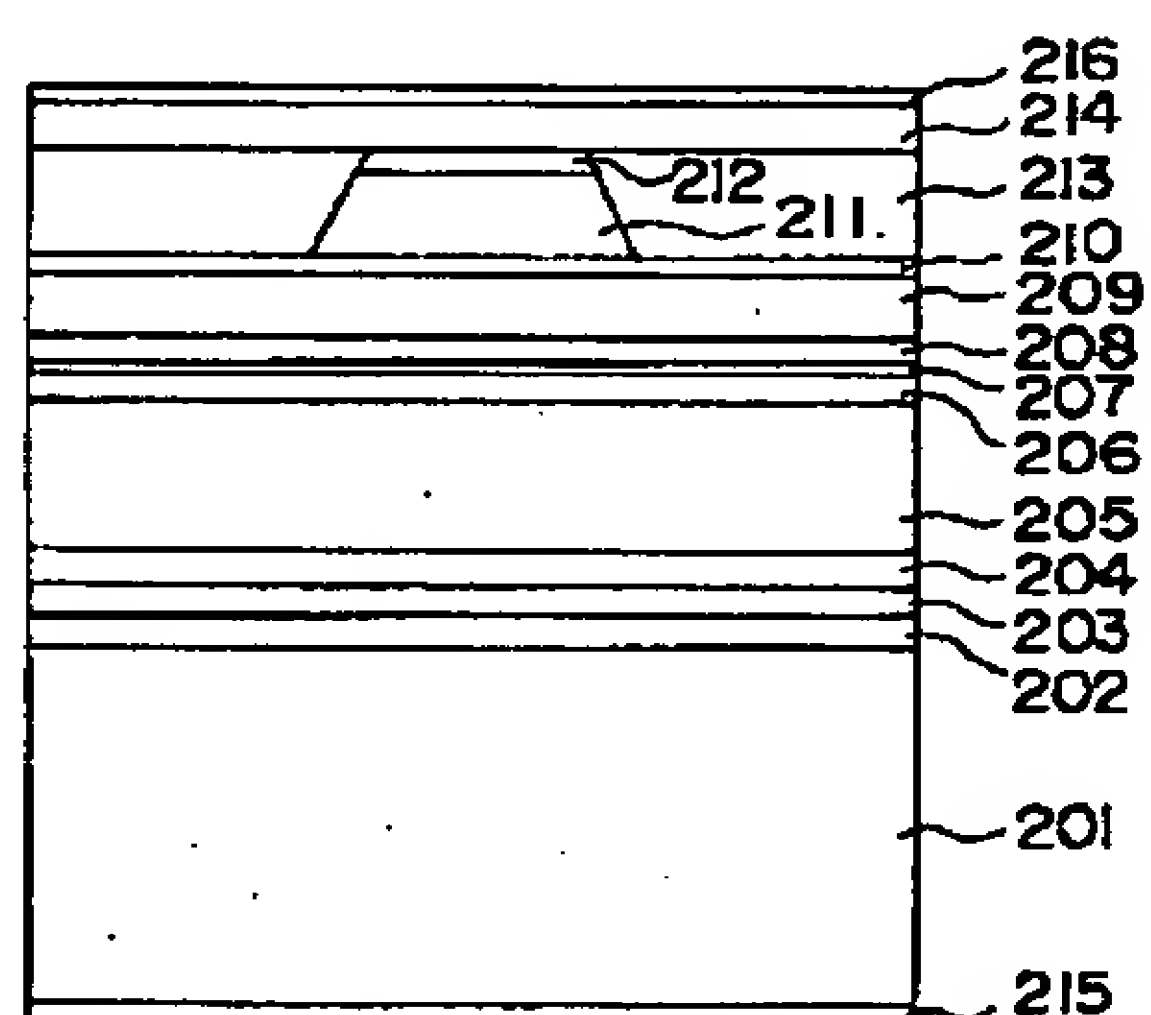
【図9】



【図10】



【図11】



フロントページの続き

(72)発明者 ピーター・パーブルック  
神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝研究開発センター内